

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-130745

(43)Date of publication of application : 21.05.1996

(51)Int.Cl.

H04N 7/32
G06T 9/00
H03M 7/36
H04N 11/04

(21)Application number : 07-162716

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.06.1995

(72)Inventor : RARI FUIRITSUPUSU
SAIPURASATSUDO BUI NAINPARI
ROBAATO MEIYAA
SHIYUJJI INOUE

(30)Priority

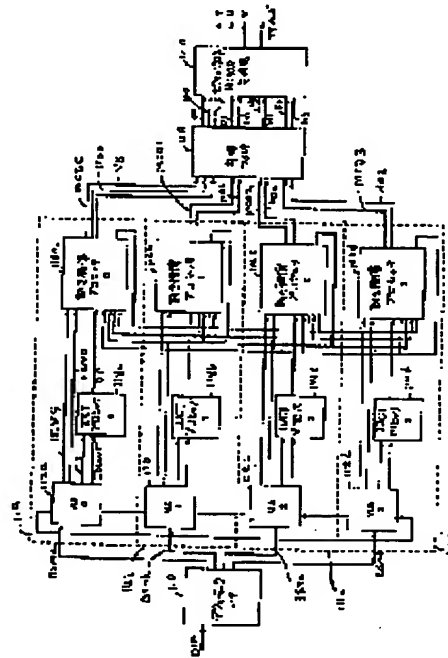
Priority number : 94 330579 Priority date : 28.10.1994 Priority country : US

(54) DECODING SYSTEM, DECODER AND DECODING CIRCUIT

(57)Abstract:

PURPOSE: To decode video signals based on MPEG-2 in real time at a relatively low cost by processing an input bit stream by decoders arranged in parallel.

CONSTITUTION: A deformatter/router 110 divides a demodulated bit stream into four parts and sends one part to respective four channels 111a-111d. Then, the respective channels handle picture data formatted to slices for respectively indicating the different sections of pictures obtained as a result and generate data decoded by a raster format. The decoded data supplied in the four channels are interpolated in a horizontal direction to the sections by an interpolation filter 118. Further, the sections are combined in a section raster/high definition raster converter 120. Thus, high definition television pictures encoded corresponding to various MPEG-2 standards are decoded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-130745

(43)公開日 平成8年(1996)5月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

H04N 7/32

G O 6 T 9/00

H03M 7/36

9382-5K

H04N 7/137

 \mathbf{z}

G O 6 F 15/ 66

330 A

審査請求 未請求 請求項の数16 OL (全 29 頁) 最終頁に続く

(21)出願番号 特願平7-162716

(22)出願日 平成7年(1995)6月28日

(31)優先權主張番号 08/330,579

(32)優先日 1994年10月28日

(33)優先権主張国 米国 (US)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 ラリー フィリップス

アメリカ合衆国 ニュー ジャージー

08108, コリングズウッド, アードモア

テラッセ 17イー

(72)発明者 サイブラサッド ブイ. ナインパリー

アメリカ合衆国 ペンシルバニア 1907.

ラングホーン、アトキンソン レーン

781

(74)代理人 弁理士 山本 秀策

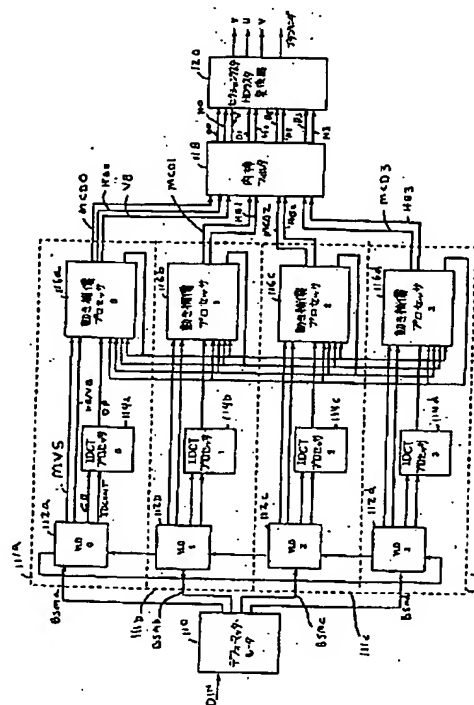
[最終頁に続く](#)

(54)【発明の名称】 復号化システム、復号化装置および復号化回路

(57) 【要約】

【目的】 低データレートで処理するプロセッサによって、高データレートを有するMPEG-2規格のビデオ信号を処理する復号化装置を提供する。

【構成】 本発明による復号化装置は、入力ビットストリームを、HDTV画像の異なる部分を表現する複数の部分に分離するデフォーマッタを備えている。ビットストリームの分離された部分は、それぞれ復号器で並列的に処理される。第1の実施例では、動き補償をおこなうために各復号器は、画像全体を表現するデータを保持するメモリを有する。第2の実施例では、各参照画像および表示される画像のデータは、単一の高帯域メモリに記憶される。



【特許請求の範囲】

【請求項1】 画像を表現する、MPEG-2規格にしたがって符号化されたビデオ信号を復号化するのに適するシステムであって、

該符号化されたビデオ信号を受け取り、該受け取られた信号をN（N：整数）個の並列ビットストリームに分離するデフォーマッティング手段と、

N個の並列ビットストリームのうちそれぞれ異なる1つのビットストリームを受け取る、それぞれが該デフォーマッティング手段に接続されたN個の処理手段であって、それぞれは、該1つのビットストリームから、符号化された画像データおよび動きベクトルデータを復号化する可変長復号化手段を備えたN個の処理手段と、

動きベクトルデータにしたがって、該復号化された画像データを、以前に復号化された画像フレームからのデータに結合させることによって、動き補償復号化された画像信号をつくる、該可変長復号化手段に接続された動き補償処理手段であって、該動き補償処理手段が該以前に復号化された画像のフレーム全体にアクセスすることを可能にするメモリを備えた動き補償処理手段と、を備えた復号化システム。

【請求項2】 前記動き補償処理手段は、前記動き補償復号化された画像信号を、前記N個の処理手段のそれぞれの該動き補償処理手段に送る手段と、動き補償復号化された画像信号を、該N個の処理手段のそれぞれから受け取る入力手段と、該受け取られた動き補償復号化された画像信号を前記メモリに格納する手段と、をさらに備えた請求項1に記載の復号化システム。

【請求項3】 前記符号化されたビデオ信号は、一般的なデータおよび連続する画像スライスを表現するデータを含んでおり、

前記デフォーマッティング手段は、該一般的なデータを前記並列ビットストリームのN個すべてに含ませ、各連続するスライスを表現するデータを、N個のビットストリームのうちのそれぞれ異なる1つに含ませる手段を備えている、請求項2に記載の復号化システム。

【請求項4】 前記動き補償処理手段は、さらに遠い以前に復号化された画像フレームからのデータを保持するさらに遠いフレームメモリをさらに備えており、前記動き補償復号化された画像信号を前記メモリに格納する手段は、さらに遠い以前に復号化された画像フレームを表現する動き補償復号化された画像信号を、該より遠いメモリに格納する手段をさらに備えている、請求項3に記載の復号化システム。

【請求項5】 前記N個の処理手段は、前記画像の所定部分を表現する動き補償画像データを保持するラスタメモリ手段と、該N個の処理手段のうちのM（MはNより小さい整数）個からの前記受け取られた動き補償復号化された画像信

号を、該画像の所定の部分として該ラスタメモリ手段に格納する、前記入力手段に接続された手段と、

該格納された画像信号をラスタスキャンの順序で与える、該ラスタメモリ手段に接続された手段と、

をさらに備えている請求項2に記載の復号化システム。

【請求項6】 ビデオ画像を表現する符号化されたビデオ信号を復号化する装置であって、ビデオ信号が画像の明瞭に分割できる領域に対応するセグメント単位で符号化されている、復号化装置であって、

該符号化されたビデオ信号を、それぞれが異なるセグメントを表現する複数の信号部分に分離するデフォーマッタと、

それぞれが、該デフォーマッタによって与えられる複数の信号部分のうちそれぞれ異なる1つを受け取るように接続された複数の復号器であって、該復号器のそれぞれは、

動き補償符号化技術を用いて符号化された信号部分を復号化して、復号化された画像データをつくる、動き補償処理手段と、

該符号化された信号部分を復号化するのに用いるため

に、以前に受け取られた画像すべてを表現する復号化されたデータを保持し、該保持されたデータの部分を該動き補償処理手段に与えるために、該動き補償処理手段に接続されたメモリと、

を備えている復号器と、

を備えている復号化装置。

【請求項7】 各復号器は、その復号化された画像データを、前記複数の復号器のそれぞれの前記それぞれのメモリに与えて、前記保持されるデータとして格納する手段をさらに備えた、請求項6に記載の復号化装置。

【請求項8】 前記複数の復号器のそれぞれは、前記符号化されたビデオデータから動きベクトルデータを抽出する手段と、

該動きベクトルデータを前記動き補償処理手段に与える手段と、

をさらに備えており、該複数の復号器のそれぞれの該動き補償処理手段は、

さらに遠い以前に受け取られた画像すべてを表現するさらに復号化されたデータを保持するさらに遠いメモリと、

該動きベクトルに応じて、該動き補償処理手段によって与えられる該復号化された部分を、該メモリおよび該さらに遠いメモリのうちの1つに送る手段と、

をさらに備えている、請求項7に記載の復号化装置。

【請求項9】 前記複数の復号器のそれぞれは、前記画像の所定の部分を表現する動き補償画像データを保持するラスタメモリ手段と、

前記N個の処理手段のM（MはNより小さい整数）個からの前記受け取られた動き補償復号化画像信号を、該画像の所定の部分として、該ラスタメモリ手段に格納す

る、前記入力手段に接続された手段と、
該格納された画像信号をラスタスキャンの順序に与える、該ラスタメモリ手段に接続された手段と、
をさらに備えている、請求項8に記載の復号化装置。

【請求項10】 単一のメモリポートを有するメモリをさらに備えている、請求項1に記載の復号化システムであって、

前記デフォーマティング手段は、前記データストリームを受け取り、かつ該データストリームを該単一のメモリポートを介して該メモリの第1部分に格納する手段を備えており、

前記N個の処理手段のそれぞれは、

該単一のメモリポートを介して該メモリから前記可変長符号化されたデータストリームをフェッチする手段と、
該フェッチされた可変長符号化されたデータストリームを処理して、それにより第1の復号化された値を生成する手段と、

を備えており、

前記動き補償処理手段は、

該単一のメモリポートを介して該メモリから参照画像データをフェッチする手段と、

該フェッチされた参照画像データを第1の復号化された値に結合させて、それにより第2の復号化された値をつくる手段と、

該第2の復号化された値を、該単一のメモリポートを介して該メモリに格納する手段と、
を備えている復号化システム。

【請求項11】 輝度成分および色成分を含む画像データを処理する請求項10に記載の復号化システムであって、

前記単一のメモリポートは、並列に配置された第1および第2のチャンネルを備えており、

前記メモリにおいて、対応する色および輝度成分を表現する画像データが、それぞれ該第1および第2のチャンネルを用いて同時にアクセスされるように、かつ第1および第2の隣接する輝度成分を表現する画像データが、それぞれ該第1および第2のチャンネルを用いることによって、該動き補償処理手段の該メモリ手段によって同時にアクセスされるように配置されている復号化システム。

【請求項12】 前記前記メモリへの前記単一メモリポートは、並列に配置された第1および第2のチャンネルを備えており、

前記フェッチされた可変長符号化されたデータストリームを処理する手段は、輝度の値および対応する色の値を第1の復号化された値として生成する手段を備えており、

前記第2の復号化された値を前記メモリに格納する前記手段は、前記第2の復号化された値の輝度成分を、該第1および第2のチャンネルのうちの1つを用いて格納し、かつ該第2の復号化された値の対応する色成分を、該第

1および第2のチャンネルのうちの他の1つを用いて格納する手段を備えており、

前記表示のために該メモリから画像データをフェッチする手段は、該画像データの輝度成分を該第1および第2のチャンネルのうちの1つを用いてフェッチし、該画像データの対応する色成分を該第1および第2のチャンネルのうちの他の1つを用いてフェッチする手段を備えている、請求項10に記載の復号化システム。

【請求項13】 前記メモリは、第1、第2および第3のチャンネルを備えており、

前記第2の復号化された値を該メモリに格納する前記手段は、

第1および第2のチャンネル、第2および第3のチャンネルおよび第3および第1のチャンネルをそれぞれ用いて輝度の値の連続するセットを交互に格納し、かつ第3のチャンネル、第1のチャンネルおよび第2のチャンネルをそれぞれ用いて色の値の連続するセットを交互に格納する手段を備えている、請求項12に記載の復号化システム。

【請求項14】 前記参照画像データをフェッチする前記手段は、前記第1、第2および第3のチャンネルを用いることによって輝度成分をフェッチし、前記第1、第2および第3のチャンネルのうち少なくとも2つを用いることによって対応する色成分をフェッチする、請求項13に記載の復号化システム。

【請求項15】 MPEG-2規格にしたがって符号化されたビデオ信号を復号化する回路であって、

単一のメモリポートを有する画像メモリと、

復号化プロセッサであって、

該単一のメモリポートを介して該画像メモリに接続された可変長復号器と、

逆量子化プロセッサと、

逆離散コサイン変換プロセッサと、

該単一のメモリポートを介して該画像メモリに接続された動き補償プロセッサと、を備えた復号化プロセッサと、

該単一のメモリポートを介して該画像メモリに接続されたブロック・ラスタ変換器と、

を備えている復号化回路。

【請求項16】 前記動き補償プロセッサは、前記単一のメモリポートを前記画像メモリに接続された少なくとも第1および第2の入力ポートと、該単一のメモリポートを介して該画像メモリに接続された出力ポートと、を備えている請求項15に記載の復号化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、デジタル的に符号化されたビデオ信号の復号化に関する。特に本発明は、MPEG-2規格に従って可変長符号化されたビデオ信号を復号化する復号器に関する。

【0002】

【従来の技術】米国においては、ディジタル的に符号化された高精細テレビジョン信号のための規格が提案されている。この規格は、本質的にMPEG-2規格と同じであり、国際標準化機構（ISO）のMoving Picture Experts Group（MPEG）によって提案されている。この規格は、

「Information Technology - Generic Coding of Moving Pictures and Associated Audio, Recommendation H. 262」（ISO/IEC 13818-2DIS, 3/94）と題された内部規格の草案（draft internal standard: DIS）の刊行物に記載されている。これはISOから入手可能であり、ここでもMPEG-2ディジタルビデオ信号符号化規格についてのその教示は、参考のために援用される。

【0003】MPEG-2規格は、実際にはいくつかの異なる規格の集まりである。MPEG-2においては、いくつかの異なるプロファイルが規定されており、それぞれは、符号化された画像の複雑さに関する異なるレベルに対応する。それぞれのプロファイルについて異なる複数のレベルが規定されており、それぞれのレベルは異なる画像解像度に対応する。MPEG-2「規格」の一つには、メインプロファイル・メインレベル（Main Profile, Main Level）という名で知られるものがあり、これは既存のテレビジョン規格（つまりNTSCおよびPAL）に従うビデオ信号の符号化を目的とするものである。メインプロファイル・ハイレベル規格によって符号化された画像は、1画像フレームあたり1152本のアクティブライン（active line）をもち、1ラインあたり1920個の画素をもつ。

【0004】一方、メインプロファイル・メインレベル規格は、1ラインあたり768個の画素および1フレームあたり567本のラインをもつ最大ピクチャサイズを規定する。1秒に30フレームのフレームレートでは、この規格にしたがって符号化された信号は、1秒に13,063,680画素のデータレートをもつ。これとは対称的に、メインプロファイル・ハイレベル規格にしたがって符号化された画像は、1秒に（1152×1920×30）個、つまり、66,355,200画素の最大データレートを持つ。このデータレートは、メインプロファイル・メインレベル規格にしたがって符号化された画像データのデータレートの5倍よりも大きい。米国においてHDTV符号化のために提案されている規格は、この規格のサブセットであり、1フレームあたり1080本のライン、1ラインあたり1920個の画素、および、このフレームサイズでは1秒に30フレームの最大フレームレートをもつ。この提案された規格の最大データレートは、メインプロファイル・メインレベル規格の最大データレートよりもずっと大きい。

【0005】データレートにこのような幅があるために、メインプロファイル・メインレベルデータと同様にメインプロファイル・ハイレベルデータを復号化し得るフレキシブルな復号器を有することが望ましい。最も望ましく効果的であるためには、符号化システムは比較的安価であり、それでいてリアルタイムでこれらのディジ

タル信号を復号化するのに十分なパワーを持っていない。しかし、これらのフォーマットは非常に幅広く適用し得るので、いくつかの異なる圧縮フォーマットで動作するが、より高レベルではフォーマットを復号化できないより安価な復号器を有することが望ましい。

【0006】しかし、このビデオ情報でさえ、いくつかの異なるフォーマットで存在し得る。これらのフォーマットは1ラインあたりの数が異なる絵素（画素）、1フレームあるいは1フィールドあたりの数が異なるライン、および1秒あたりの数が異なるフレームあるいはフィールドを有している。さらに、MPEG-2メインプロファイルの基本シンタクス（basic syntax）は、6層の画像のシーケンス（sequence）を表す、圧縮されたMPEG-2ビットストリームを規定する。これらは、シーケンスレイヤ、GOP（group of pictures）レイヤ、ピクチャレイヤ、スライスレイヤ、マクロブロックレイヤおよびブロックレイヤである。これらのレイヤには、制御情報を含むヘッダが各々導入される。最後に、補助的な情報（side information）としても知られている他の制御情報（例えば、フレームタイプ、マクロブロックパターン、画像動きベクトル、係数ジグザクパターンおよび逆量子化情報）が符号化されたビットストリーム全体にちりばめられる。

【0007】

【発明が解決しようとする課題】しかしながら、既存の技術を用いれば、復号器は、複雑な回路構成で、しかも高いデータレートにおいて動作する単一のプロセッサを用いることによって実現され得る。しかしながら、この高いデータレートは、非常に高価な回路を要求する。そのため、コストが大きなファクタである一般消費者向けテレビジョン受像器において、復号器を実現するには欠点となるという問題があった。

【0008】本発明は、上記課題を解決するためになされたものであり、その目的とするところは、低いデータレートの画像データを処理する回路によって、MPEG-2にしたがう画像データを処理する復号器を提供することにある。

【0009】

【課題を解決するための手段】本発明の復号化システムは、画像を表現する、MPEG-2規格にしたがって符号化されたビデオ信号を復号化するのに適するシステムであって、該符号化されたビデオ信号を受け取り、該受け取られた信号をN（N：整数）個の並列ビットストリームに分離するデフォーマッティング手段と、N個の並列ビットストリームのうちそれぞれ異なる1つのビットストリームを受け取る、それぞれが該デフォーマッティング手段に接続されたN個の処理手段であって、それぞれは、該1つのビットストリームから、符号化された画像データおよび動きベクトルデータを復号化する可変長復号化

手段を備えたN個の処理手段と、動きベクトルデータにしたがって、該復号化された画像データを、以前に復号化された画像フレームからのデータに結合させることによって、動き補償復号化された画像信号をつくる、該可変長復号化手段に接続された動き補償処理手段であって、該動き補償処理手段が該以前に復号化された画像のフレーム全体にアクセスすることを可能にするメモリを備えた動き補償処理手段と、を備えており、そのことにより上記目的が達成される。

【0010】ある実施例では、前記動き補償処理手段は、前記動き補償復号化された画像信号を、前記N個の処理手段のそれぞれの該動き補償処理手段に送る手段と、動き補償復号化された画像信号を、該N個の処理手段のそれぞれから受け取る入力手段と、該受け取られた動き補償復号化された画像信号を前記メモリに格納する手段と、をさらに備えている。

【0011】ある実施例では、前記符号化されたビデオ信号は、一般的なデータおよび連続する画像スライスを表現するデータを含んでおり、前記デフォーマティング手段は、該一般的なデータを前記並列ビットストリームのN個すべてに含ませ、各連続するスライスを表現するデータを、N個のビットストリームのうちのそれぞれ異なる1つに含ませる手段を備えている。

【0012】ある実施例では、前記動き補償処理手段は、さらに遠い以前に復号化された画像フレームからのデータを保持するさらに遠いフレームメモリをさらに備えており、前記動き補償復号化された画像信号を前記メモリに格納する手段は、さらに遠い以前に復号化された画像フレームを表現する動き補償復号化された画像信号を、該より遠いメモリに格納する手段をさらに備えている。

【0013】ある実施例では、前記N個の処理手段は、前記画像の所定部分を表現する動き補償画像データを保持するラスタメモリ手段と、該N個の処理手段のうちのM（MはNより小さい整数）個からの前記受け取られた動き補償復号化された画像信号を、該画像の所定の部分として該ラスタメモリ手段に格納する、前記入力手段に接続された手段と、該格納された画像信号をラスタスキャンの順序で与える、該ラスタメモリ手段に接続された手段と、をさらに備えている。

【0014】本発明による復号化装置は、ビデオ画像を表現する符号化されたビデオ信号を復号化する装置であって、ビデオ信号が画像の明瞭に分割できる領域に対応するセグメント単位で符号化されている、復号化装置であって、該符号化されたビデオ信号を、それぞれが異なるセグメントを表現する複数の信号部分に分離するデフォーマッタと、それぞれが、該デフォーマッタによって与えられる複数の信号部分のうちそれぞれ異なる1つを受け取るように接続された複数の復号器であって、該復号器のそれぞれは、動き補償符号化技術を用いて符号化

された信号部分を復号化して、復号化された画像データをつくる、動き補償処理手段と、該符号化された信号部分を復号化するのに用いるために、以前に受け取られた画像すべてを表現する復号化されたデータを保持し、該保持されたデータの部分を該動き補償処理手段に与えるために、該動き補償処理手段に接続されたメモリと、を備えている復号器と、を備えており、そのことにより上記目的が達成される。

【0015】ある実施例では、各復号器は、その復号化された画像データを、前記複数の復号器のそれぞれの前記それぞれのメモリに与えて、前記保持されるデータとして格納する手段をさらに備えている。

【0016】ある実施例では、前記複数の復号器のそれぞれは、前記符号化されたビデオデータから動きベクトルデータを抽出する手段と、該動きベクトルデータを前記動き補償処理手段に与える手段と、をさらに備えており、該複数の復号器のそれぞれの該動き補償処理手段は、さらに遠い以前に受け取られた画像すべてを表現するさらに復号化されたデータを保持するさらに遠いメモリと、該動きベクトルに応じて、該動き補償処理手段によって与えられる該復号化された部分を、該メモリおよび該さらに遠いメモリのうちの1つに送る手段と、をさらに備えている。

【0017】ある実施例では、前記複数の復号器のそれぞれは、前記画像の所定の部分を表現する動き補償画像データを保持するラスタメモリ手段と、前記N個の処理手段のM（MはNより小さい整数）個からの前記受け取られた動き補償復号化画像信号を、該画像の所定の部分として、該ラスタメモリ手段に格納する、前記入力手段に接続された手段と、該格納された画像信号をラスタスキャンの順序に与える、該ラスタメモリ手段に接続された手段と、をさらに備えている。

【0018】ある実施例では、単一のメモリポートを有するメモリをさらに備えている、復号化システムであって、前記デフォーマティング手段は、前記データストリームを受け取り、かつ該データストリームを該単一のメモリポートを介して該メモリの第1部分に格納する手段を備えており、前記N個の処理手段のそれぞれは、該単一のメモリポートを介して該メモリから前記可変長符号化されたデータストリームをフェッチする手段と、該フェッチされた可変長符号化されたデータストリームを処理して、それにより第1の復号化された値を生成する手段と、を備えており、前記動き補償処理手段は、該単一のメモリポートを介して該メモリから参照画像データをフェッチする手段と、該フェッチされた参照画像データを第1の復号化された値に結合させて、それにより第2の復号化された値をつくる手段と、該第2の復号化された値を、該単一のメモリポートを介して該メモリに格納する手段と、を備えている。

【0019】ある実施例では、輝度成分および色成分を

含む画像データを処理する復号化システムであって、前記単一のメモリポートは、並列に配置された第1および第2のチャンネルを備えており、前記メモリにおいて、対応する色および輝度成分を表現する画像データが、それぞれ該第1および第2のチャンネルを用いて同時にアクセスされるように、かつ第1および第2の隣接する輝度成分を表現する画像データが、それぞれ該第1および第2のチャンネルを用いることによって、該動き補償処理手段の該メモリ手段によって同時にアクセスされるように配置されている。ある実施例では、前記前記メモリへの前記単一メモリポートは、並列に配置された第1および第2のチャンネルを備えており、前記フェッチされた可変長符号化されたデータストリームを処理する手段は、輝度の値および対応する色の値を第1の復号化された値として生成する手段を備えており、前記第2の復号化された値を前記メモリに格納する前記手段は、前記第2の復号化された値の輝度成分を、該第1および第2のチャンネルのうちの1つを用いて格納し、かつ該第2の復号化された値の対応する色成分を、該第1および第2のチャンネルのうちの他の1つを用いて格納する手段を備えており、前記表示のために該メモリから画像データをフェッチする手段は、該画像データの輝度成分を該第1および第2のチャンネルのうちの1つを用いてフェッチし、該画像データの対応する色成分を該第1および第2のチャンネルのうちの他の1つを用いてフェッチする手段を備えている。

【0020】ある実施例では、前記メモリは、第1、第2および第3のチャンネルを備えており、前記第2の復号化された値を該メモリに格納する前記手段は、第1および第2のチャンネル、第2および第3のチャンネルおよび第3および第1のチャンネルをそれぞれ用いて輝度の値の連続するセットを交互に格納し、かつ第3のチャンネル、第1のチャンネルおよび第2のチャンネルをそれぞれ用いて色の値の連続するセットを交互に格納する手段を備えている。

【0021】ある実施例では、前記参照画像データをフェッチする前記手段は、前記第1、第2および第3のチャンネルを用いることによって輝度成分をフェッチし、前記第1、第2および第3のチャンネルのうち少なくとも2つを用いることによって対応する色成分をフェッチする。

【0022】本発明の復号化回路は、MPEG-2規格にしたがって符号化されたビデオ信号を復号化する回路であって、単一のメモリポートを有する画像メモリと、復号化プロセッサであって、該単一のメモリポートを介して該画像メモリに接続された可変長復号器と、逆量子化プロセッサと、逆離散コサイン変換プロセッサと、該単一のメモリポートを介して該画像メモリに接続された動き補償プロセッサと、を備えた復号化プロセッサと、該単一のメモリポートを介して該画像メモリに接続されたプロ

ック・ラスト変換器と、を備えており、そのことにより上記目的が達成される。

【0023】ある実施例では、前記動き補償プロセッサは、前記単一のメモリポートを前記画像メモリに接続された少なくとも第1および第2の入力ポートと、該単一のメモリポートを介して該画像メモリに接続された出力ポートと、を備えている。

【0024】

【作用】本発明は、様々なMPEG-2規格に従って符号化された高精細テレビジョン画像を復号化するために適した復号器で実施される。復号器の一例は、並列処理アーキテクチャを有する。この復号器は、入力ビットストリームを多数の部分に分割するデフォーマッタを備え、この多数の部分はHDTV画像の異なるセクション(section)をそれぞれ表している。別々の部分は、各復号器によって並列に処理される。動き補償処理を行うために、各復号器は画像全体を表すデータを保持するメモリを備える。

【0025】復号器の別の例は、単一の高帯域幅(high-bandwidth)メモリを用い、入力データをそれが受け取られたときの状態で保持し、予測符号化されたデータを復号化するために用いられた画像を記憶し、復号化された画像をブロックフォーマットからラストフォーマットに変換する。このメモリを効果的に用いるために、システムは、処理のためのブロックフォーマットと表示のためのラストフォーマットとの両方のフォーマットでビデオ情報が容易に得られ得るようにブロックをメモリに記憶するマッピングスキーム(mapping scheme)を用いる。

【0026】本発明の別の側面によると、復号器は、入力データストリームからシステムクロック信号を復元するために用いられるデジタルフェーズロックループを備えている。

【0027】

【実施例】

(概観) 本発明の実施例では、MPEG-2規格、特に、メインプロファイル・ハイレベル規格に従って符号化されたHDTV信号を復号化する。しかし、本明細書に記載された発明は、このタイプの情報の復号化に限定されない。本発明は、他のタイプの可変長符号化されたビデオデータを復号化するために用いられてもよく、この場合、符号化されたデータは元の画像の他と区別できる領域(distinct area)に対応する。

【0028】符号化処理において、画素データには離散コサイン変換の前に、動き補償された差分符号化が施され、変換された係数のブロックはランレングスおよび可変長符号化技術を適用することによってさらに符号化される。データストリームから画像シーケンスを復元する復号器は、符号化処理を逆にたどる。この復号器は可変長符号器、逆離散コサイン変換プロセッサおよび動き補償プロセッサを用いる。

【0029】具体的に説明しないが、図面に示され、かつ、本明細書に記載されている回路以外の回路も、異なる規格に対応する信号を復号化するために与えられ得ると考えられる。これらの回路は、例えば、メインデータバスにおいて、異なる容量のメインメモリ、異なるクロック周波数、異なるビット数を用いてもよい。

【0030】(第1実施例) 図1は、並列処理を取り入れた本発明の実施例を含む高精細テレビジョン復号器の第1の例のブロック図である。図1に示されている復号器は、4つの並列復号化チャンネルに配列されている。大まかに言えば、デフォーマッタ・ルータ110は、復調されたビットストリームを4つの部分に分割し、1部分を4つのチャンネル、111a、111b、111cおよび111dの各々に送る。以下に述べるように、これらのチャンネルのそれぞれは、結果として得られる画像の異なるセクションをそれぞれ表すスライスにフォーマットされた画像データを取り扱い、ラスタフォーマットで復号化されたデータを生成する。4つのチャンネルによって与えられた復号化されたデータは、内挿フィルタ118によってセクションに水平方向に内挿される。そして、セクションは、セクションラスタ・高精細ラスタ変換器120において組み合わせられる。

【0031】図2は、デフォーマッタ・ルータ110として用いるのに適した回路のブロック図である。図2に示されるように、デフォーマッタ・ルータは、8ビットパラレル入力信号をビットシリアル出力信号BSMに変換する8ビットパラレル・シリアル変換器210を有している。次に、信号BSMを32ビットシフトレジスタ212に与える。シフトレジスタ212は、スタートコード検出器214に接続されている32ビットパラレル出力ポートを有している。シフトレジスタ212によって与えられるビットシリアル信号は、4つのゲート回路216a、216b、216cおよび216dに並列に与えられる。ゲート回路は、4つのアクティブ・ロウ (active-low) 制御信号、ENa'、ENb'、ENc' およびEND' によってそれぞれ制御される。これらの制御回路は、スタートコード検出器214によって生成され

る。

【0032】本発明の実施例において、スタートコード検出器214は、シフトレジスタ212によって与えられる32ビット信号を受け取るメモリ (図示せず) を備える有限ステートマシンである。上記のように、スタートコードは32ビット値としてビットストリームにおいて現れる。すなわち、23個のゼロの後に1およびスタートコードのタイプを示す8ビット値が現れる。スタートコード検出器におけるメモリは、シーケンスレイヤ、GOPレイヤ、ピクチャレイヤおよびスライスレイヤのスタートコードならびにシーケンスストップコードを認識するようにプログラムされる。

【0033】検出器214がシーケンスレイヤ、GOPレイヤ、あるいはピクチャレイヤを示すシーケンスストップコードあるいはスタートコードを検出するとき、検出器214にはすべてのイネーブル信号ENa'、ENb'、ENc' およびEND' を論理ロウ状態にし、それによりゲート216a、216b、216cおよび216dは検出されたストップコードあるいはスタートコード、および検出されたコードと次に検出されたコードとの間のすべての情報を4つの全ての復号器111a、111b、111cおよび111dに転送する。

【0034】スタートコード検出器214は、ある垂直位置において最初のスライスコードと遭遇すると、スライスコードおよびそのコードに続くすべての情報 (すなわち、スライスレコード) を復号器111aのみに送る。次のスライスコードと遭遇すると、そのスライスレコードは復号器111bに送られる。次に続くスライスレコードは復号器111cに送られ、その垂直位置における最後のスライスレコードは復号器111dに送られる。以下の表1に示すように、スライスの垂直位置はスライススタートコードの下位8ビットに符号化される。MPEG-2規格では、この位置の値は画像最上部では1であり、画像最下部では175 (16進数でAF) になりえる。

【0035】

【表1】

スタートコード	16進値
ピクチャ	0 0 0 0 0 1 0 0
スライス (垂直位置も含む)	0 0 0 0 0 1 0 1 ~
	0 0 0 0 0 1 A F
シーケンス	0 0 0 0 0 1 B 3
GOP	0 0 0 0 0 1 B 8

4つの連続するスライスレコードの処理後、デフォーマッタ・ルータが遭遇する次のスライスレコードは、復号器111aに送られる。スライスレコードをデマルチプレクスすること (demultiplexing) は、このようにしてスライススタートコード (シーケンスエンドコードを含む) 以外のスタートコードが検出されるまで続く。この検出されたスタートコードおよびそれに続くヘッダ情報は、

スライススタートコードに遭遇するまで、そのような他の全てのスタートコードおよびヘッダのように、4つの全ての復号器に送り出される。この次のスライススタートコードは、デマルチプレクスオペレーションを再び開始する復号器111aに送られる、新しい画像の第1のスライスレコードを示す。

【0036】図3は、デフォーマッタ・ルータの動作を

示すタイムチャートである。この図に示されているように、4つの連続するスライスのスライスレコードは、デマルチプレクスされたビットストリーム信号BSMa、BSMb、BSMcおよびBSMdを介して復号器111a、111b、111cおよび111dの各々異なる復号器に送られる。ジェネラルレコードデータ（general record data）（すなわち、シーケンスレコード、GOPレコードおよびピクチャレコードからのヘッダ情報）は4つのすべてのビットストリーム信号BSMa、BSMb、BSMcおよびBSMdを介して4つの復号器すべてに送られる。

【0037】図4に示すように、符号化規格の例を用いることによって、4つの連続するスライスはHDTV画像の幅に及ぶ。デフォーマッタ・ルータ110によって行われるデマルチプレクスによって、画像410のカラム410aにおけるすべてのスライスが復号器111aによって、カラム410bにおけるすべてのスライスが復号器111bによって、カラム410cにおけるすべてのスライスが復号器111cによって、カラム410dにおけるすべてのスライスが復号器111dによってそれぞれ処理される。

【0038】図1を参照すると、デフォーマッタ・ルータ110によって与えられたデマルチプレクスされたビットストリームは可変長復号器112a、112b、112cおよび112dに入力される。これらの復号器は、各々4つの出力信号を供給する。すなわち、係数データおよび補助的な情報を逆離散コサイン変換（IDCT）プロセッサ114a、114b、114cおよび114dの1つに与える係数データ信号CDおよび制御信号IDCONT、および動き補償プロセッサ116a、116b、116cおよび116dのそれぞれに与えられる動きベクトルおよび補助的な情報データストリームMVS、および水平ブランキング・垂直ブランキング信号HB/VBである。

【0039】各可変長復号器112は、それが受け取り抽出するジェネラルレコードからヘッダ情報を抽出し、その入力ポートに与えられる可変長符号化されたDCT係数マクロブロックのコード値（code values）を復号化する。これらのランレングスおよびコード値は可変長符号器112内部の係数プロセッサ（図示せず）に与えられ、ランレングス値およびコード値は量子化された係数値のマクロブロックに変換される。

【0040】各マクロブロック内の係数は、IDCTプロセッサ114a、114b、114cおよび114dにおいて逆量子化され、逆量子化された係数に逆離散コサイン変換が施される。各IDCTプロセッサによって与えられた出力信号DPは、実際はビットストリームの対であり、各ビットストリームは、マクロブロックを構成する、復号化された画素値（pixel value）のブロックを表している。図5は、各IDCTプロセッサによって与えられた信号のフォーマットを示すタイミングチャートである。

【0041】画素値の各マクロブロックは、輝度情報Yの4つのブロックを含み、2つの色差信号UおよびVに

ついてそれぞれ1ブロックずつを含む。本発明の実施態様において、輝度ブロックは、0、1、2および3と番号を付けられ、色ブロックは4および5と番号を付けられる。IDCTプロセッサ114a、114b、114cおよび114dは2つのバスB0およびB1を介して画素値のブロックを与える。図5は、マクロブロックを構成するブロックが、これらの2つのバスを介して与えられる順番を図示している。

【0042】MPEG-2規格においては、画素値のマクロブロックは、絶対的な画素値（absolute pixel value）であっても、差分の画素値（differential pixel value）であってもよい。マクロブロックが差分値を含むときは、対応するマクロブロックも動きベクトル情報を含む。この動きベクトル情報は、それぞれの可変長復号器112a、112b、112cおよび112dによって復号化され、信号MVSを介して、それぞれの動き補償プロセッサ116a、116b、116cおよび116dに与えられる。以下で図6および図7を参照しながら詳述される動き補償プロセッサは、絶対的な、または差分の画素情報、またオプションとして動きベクトル情報を用いて、画像スライスについての絶対的な画素値を復元する。これらの画素値は、動き補償プロセッサ116aによって内挿フィルタ118に与えられる。

【0043】入力画像の水平方向サイズに依存して、内挿フィルタ118は、画像を受像器の表示デバイスのアスペクト比（aspect ratio）に合うように伸長する。本発明の実施例においては、画像の輝度成分Yは内挿フィルタ118によって水平方向にのみ伸長される。色成分は水平方向および垂直方向に2倍に伸長されることによって、各色差信号UおよびVの色サンプルを、内挿された輝度信号のサンプルの数と一致する数だけ生成する。しかし、補間フィルタ118は、すべての画像成分Y、UおよびVについて水平方向および垂直方向の補間を行ってもよい。

【0044】補間フィルタ118の出力信号は、セクションラスタ・高精細ラスタ変換器120に与えられる。変換器120は、様々な補間セクション信号を結合することによって、受像器の表示装置に表示するのにふさわしいラスタフォーマットを持ち、輝度信号Yおよび2つの色差信号UおよびVを表現しているサンプルをつくりだす。さらに、変換器120は、受像器の表示装置のためのコンポジットブランキング信号を発生する。

【0045】動き補償プロセッサ116a、116b、116cおよび116dの動作を理解するためには、個々のピクチャレコードがGOPレコード中において発生する順序と、ピクチャが表示される順序とを理解することが有用である。MPEG-2規格では、各GOPレコードは一般に、1つのIフレーム、複数のPフレームおよび複数のBフレームを有している。Iフレームはピクチャをリフレッシュして、誤差を補償するために提供される。この補償を行わなけれ

ば、誤差はピクチャシーケンス中に伝播してしまう。Pフレームは、表示シーケンス中の以前のIフレームまたはPフレームから予測されるフレームである。Bフレームは、表示シーケンス中における以前のIフレームまたはPフレームと、以降のIフレームまたはPフレームとのうちの少なくとも1つから双方向予測される。

【0046】Bフレームは、表示シーケンス中で後に発生するフレームから予測されるため、MPEG-2ビットストリーム中の符号化されたフレームの順序は、表示順と同じではない。図7に順序の一例を示す。図に示すように、時刻 T_3 から開始して、フレームは、 I_0 、 B_{-2} 、 B_{-1} 、 P_3 、 B_1 、 B_2 、 P_6 、 B_4 、 B_5 、 P_9 、 B_7 、 B_8 の順に受像される。これらのフレームは、動き補償プロセッサ116によって処理されるとき、 B_{-2} 、 B_{-1} 、 I_0 、 B_1 、 B_2 、 P_3 、 B_4 、 B_5 、 P_6 、 B_7 、 B_8 、 P_9 の順に表示される。

【0047】前方向および双方向予測モードの両方を備えるために、動き補償プロセッサ116a、116b、116cおよび116dの各々は、前方向予測に用いられるピクチャを保持するために1つと、後方向予測に用いられるピクチャを保持するために1つとの計2つのフレームメモリを有している。さらに、本実施例の動き補償プロセッサは、ブロックフォーマットの情報を、入力フレーム順で、表示フレーム順の飛び越し走査ラスタ(interlace scan raster)のためにラスタフォーマット情報に変換する。下記に述べるように、各動き補償プロセッサ116は、4つの半フレーム(half-frame)メモリをこの目的のために備えている。

【0048】図4を参照して前述したように、各プロセッサ116a~116dは画像の1セグメントのみを処理するが、動き補償メモリ618aおよび618b中に、完全な2つのフレーム分のビデオ情報が記憶されている。処理中のセグメント中の与えられた動き補償されたマクロブロック分のデータが、動き参照マクロブロックを画像の任意の場所から得ることができるようにするためには、この構造は望ましい。

【0049】図6は、動き補償プロセッサ116aとして好適に用いられる回路を示すブロック図である。プロセッサ116b、116cおよび116dの回路も同様であり得る。図6において、IDCTプロセッサ114aから供給されるバス信号B0およびB1は、先入れ先出し(FIFO)メモリ610の各入力ポートに加えられる。FIFOメモリ610は、図5に示すようなIDCTプロセッサ114aから受け取った画素データブロックのストリームを、マクロブロックに変換する。FIFOメモリ610は、マクロブロックの奇数画素を表す半分を、加算/クリップ器612の1つの入力ポートに供給し、マクロブロックの偶数画素を表す残りの半分を、加算/クリップ器614に供給する。加算/クリップ器612および614の他方の入力ポートは、それぞれ記憶されたマクロブロックの奇数および偶数画素をFIFOメモリ624か

ら受け取るように結合されている。加算/クリップ器612および614の出力ポートは、マクロブロック全体のデータが信号SECTION 0として伝えられるように組み合わされている。

【0050】本実施例においては、以前に記憶されたフレームの画素(すなわちIフレームまたはPフレーム)は、動き補償メモリ618aまたは618bのうちの一方に記憶され、後に記憶されるフレームの画素は、動き補償メモリ618bまたは618aのうちの他方に記憶される。メモリ618aおよび618bに記憶される画素は、SECTION 0~SECTION 3として示される4つのバスを介して受け取られる。図1に示すように、これらの各バスによって送られる画素値は、4つの動き補償プロセッサ116a、116b、116cおよび116dのうちのそれぞれ異なる1つによって生成される。本実施例において、画素値SECTION 0は、プロセッサ116aによって生成され、画素値SECTION 1は、プロセッサ116bによって生成され、画素値SECTION 2およびSECTION 3は、プロセッサ116cおよびプロセッサ116dによってそれぞれ生成される。上述のように、SECTION 0信号は、加算/クリップ器612および614の結合された出力信号として供給される。

【0051】Iフレームからのデータに関しては、出力信号SECTION 0は、バスB0およびB1を介して供給されるブロックを、変形することなしにFIFOメモリ610および加算/クリップ器612および614を通すことによって生成される。PおよびBフレームについて、SECTION 0信号は、バスB0およびB1を介して供給される信号から、メモリ618aおよび618bによって供給されるデータを用いる動き補償処理によって生成される。

【0052】メモリ618aおよび618bから供給されるデータは、動きベクトルおよび可変長符号プロセッサ112aによって供給される補助的情報信号MVSによって決定される。信号MVSは、FIFOメモリ611を介して、動き補償アドレス発生器616aおよび616bに供給される。本実施例においては、メモリ618aまたは618bのどちらかが、動き補償処理のために未来のフレームまたは過去のフレームを保持するために用いられ得る。どちらのフレームがどちらのメモリに記憶されているかによって、アドレス発生器616aまたは616bのどちらかが、前方向動きベクトルデータまたは後方向動きベクトルデータを受け取り得る。フレームメモリ618aと618bとのどちらがどちらの参照フレームを保持するかは、データバス制御器626によって決定される。一旦初期割り当てが決定されると、これらのメモリに記憶された画像フレームは、最も古いデータが新しく受け取られたデータによって置き換わるようなピンポン法を用いることにより、IフレームまたはPフレームデータによって置き換えられる。更に、データバス制御器626は、FIFO610、611および624からいつデータが読み出されるべきかを、制御信号CF610、CF611およびCF624をそれぞれ用いて決定する。制御器626はまた、動

きベクトルおよび補助的情報MVSをFIFOメモリ611から受け取る。これらの動きベクトルに基づいて、動き補償メモリ618aおよび618bの一方または両方が、データ値を半画素(half pixel)発生器620aおよび620bに供給する。

【0053】MPEG-2規格では、動き補償処理のために、半画素間隔において動きを分類することが許されている。メモリ618aおよび618bにはフル画素(full pixel)値のみが記憶されているため、MPEG-2復号器には、規格に完全に準拠するためある種の内挿を含めることが望ましい。本実施例においては、半画素発生器620aおよび620bが、各アドレス発生器616aおよび616bによって供給される制御信号に応じてこの内挿機能を実行する。

【0054】Bフレームが本実施例によって処理される場合、メモリ618aおよび618bならびに半画素発生器620aおよび620bはそれぞれ、動き補償アドレス発生器616aおよび616bに加えられた動きベクトルによって示されるように、バスB0およびB1によって与えられるマクロブロックから変位したマクロブロックを表現する画素値のブロックを与える。

【0055】前方向および後方向マクロブロックの各々の偶数画素は、乗算器622aに印加され、各マクロブロックの奇数画素は、乗算器622bに印加される。Bフレームが処理されているときには、乗算器622aおよび622bの各々は、受け取った各マクロブロックの各画素値を一定の比で結合し、結合された画素値をFIFOメモリ624に供給する。本実施例においては、画素値は1:1の比で結合される。しかし、異なる比を用いることも可能であり、乗算器622aおよび622bは、これらの比率に基づいて、例えば動き補償アドレス発生器616aおよび616bによって、信号MVSの一部として搬送される補助的情報に応じてプログラムされてもよい。

【0056】上記のように、FIFOメモリ610および624は、各マクロブロックの奇数画素を加算/クリップ器612に供給し、偶数画素を加算/クリップ器614に供給する。これらの回路は、各画素値を加算することによって動き補償された画素値を発生する。各加算/クリップ器614はまた、加算値を255以下になるように制限またはクリップする。動き補償された出力画素データを表す奇数および偶数画素は、別々のバス(不図示)を介して加算/クリップ器612および614からメモリ618aおよび618bならびにセクション選択回路628に伝えられる。簡略化のため、これらのバスは図6中においてそれぞれ単一のバスとして示されている。

【0057】また、アドレス発生器616aおよび616bの各々は、それぞれ信号SMCmaおよびSMCmbをデータバス制御器626から受け取る。この信号は、SECTION 0~SECTION 3信号を介して供給されたデータが、動き補償メモリ618aおよび618bのどちらに書き込まれるべきかを示す。上記のように、これらのメモリは、参照後方向予測フレームおよび参照前方向予測フレームを保持している。MPEG

-2規格では、IフレームまたはPフレームしか参照予測フレームとして用い得ない。従って、SECTION 0~SECTION 3信号を介して供給されたフレームの全てがメモリ618aおよび618bの1つに記憶されるわけではない。信号SMCmaおよびSMCmbは、参照フレームをそれぞれメモリ618aまたは618bに記憶させる選択信号である。信号SMCmaおよびSMCmbは、図1に示す可変長復号器112aによってFIFOメモリ611を介して供給される信号MVS中に搬送されるフレームタイプ信号に応じて、データバス制御器626によって発生される。もし受け取ったデータがIフレームまたはPフレームからのものであれば、制御器626は、適切な信号SMCmaおよびSMCmbをアクティベート(active)することによって、データをメモリ618aまたは618bに記憶させる。最も古いデータを有するメモリが新しいデータを受け取るように制御器626によって選択される。また、データバス制御器626は、マクロブロック同期信号をMVS信号の一部として受け取る。マクロブロック同期信号は、補助的な情報が係数データ(coefficients data)と並ぶ(aligned)ことを可能にする。

【0058】各マクロブロックの奇数および偶数画素は、信号SECTION 0、SECTION 1、SECTION 2およびSECTION 3を介してセクション選択回路628に供給される。これらの信号の各々によって搬送される画素値は、図4に示す画像フレームのセクション0、セクション1、セクション2およびセクション3の区画に対応する。セクション選択回路628は、ラストメモリ630a~630dに記憶するセクションデータを選択する。

【0059】ラストスキャン画像においては、1つのフレームからのデータは、画像の最上端から最下端まで、1ライン単位で表示される。信号SECTION 0~SECTION 3を介して供給されるデータはマクロブロック順であるため、これらのラインを介して受け取られる信号は、セクション選択回路628、メモリ630a、630b、630cおよび630d、ならびにラストアドレス発生器632を用いて、記憶され、再フォーマットされる。

【0060】各メモリ630a、630b、630cおよび630dは、図4に示すセクションのうち連続するセクションを表現するビデオ情報1フレームの半分を保持する。例えば、図6に示す回路は図1に示す動き補償プロセッサ116aのための回路であるため、各ラストメモリはセクション0およびセクション1を表現するデータしか保持しない。プロセッサ116bのためのラストメモリは、セクション1およびセクション2のデータを保持し、プロセッサ116cのためのメモリは、セクション2およびセクション3のデータを保持する。プロセッサ116dのためのメモリは、セクション3を示すデータしか保持しない。いかなる追加的なセクションデータが内挿フィルタに用いられた場合も、セクション3の右側エッジが正しく内挿されることはないため、追加的なセクションデータはこのプロセッサには記憶されない。本実施例においては、セクショ

ン0の左側エッジおよびセクション3の右側エッジは、正しく内挿されないことがある。このデータの画素値は画像のエッジに表示されるため、表示装置のオーバーサン領域に隠れてしまうものと考えられる。

【0061】メモリ630a、630b、630cおよび630dは、画像フレームをSECTION 0およびSECTION 1を介して供給された通りに記憶し、その後、ラスタスキャン順および表示フレーム順にデータを供給する。メモリ630a、630b、630cおよび630dのためのアドレスおよび制御信号は、ラスタアドレス発生器632によって発生される。これらのアドレスを発生する際、発生器632は、データバス制御器626によって供給されるラスタメモリ選択信号SRMに応答する。

【0062】バス変換器634は、サンプル順Y、U、Y、V、Y、U、Y、V、……で供給されるデータストリームをデマルチプレクスする。ただしYは輝度サンプルを表し、UおよびVは各色差信号のサンプルを表す。変換器634によって供給される出力信号は、輝度信号Yおよび、サンプルUとVとの繰り返しからなる色信号である。

【0063】図1に示すように、動き補償プロセッサ116aは、VLDプロセッサ112aから水平および垂直ブランキング期間に関する情報を受け取り、水平ブランキング信号HB0および垂直ブランキング信号VBを供給する。本実施例では、これはラスタアドレス発生器632からバス変換器634に印加される信号HB/VB'によって実現される。この信号は、VLDプロセッサ112aから受け取ったHB/VB信号に基づき、ラスタアドレス発生器632によって発生される。実施例の発生器632は、水平および垂直ブランキング信号(HB/VB)のタイミングを変化させることによって、ラスタメモリ630a～630dによって読まれているデータにマッチする信号HB/VB'を生成する。この変化された信号は、変換器634に印加され、変換器634は再び、水平および垂直ブランキング信号のタイミングを変化させることによって、バス変換器634によって供給される信号Y、UおよびVにマッチする信号HB0およびVBを生成する。または、ブランキング信号は、ラスタメモリ630a、630b、630cおよび630dの各ワードの追加ビット(extra bit)として記憶され、ブランキング信号HB0およびVBをスキャン変換処理の一部として生成するように、制御器626がラスタアドレス発生器632をメモリに対してアドレスさせても良い。この場合、変換器634は、ラスタメモリ630a～630dによって与えられたデータからブランキング信号を分離することのみによって信号HB0およびVBを生成する。

【0064】図7は、データが各種メモリに書き込まれ読み出される様子を示すタイミング図である。図7中の各垂直区画は、期間 $T_0 \sim T_{15}$ を表す。最初の「入力」と書かれた行は、画像フレームの部分がバスB0およびB1を介して動き補償プロセッサ116aによって受け取られる

順序を示す。残りの6つの列の各々は、データがいつ2つの動き補償メモリ618aおよび618bならびに4つのラスタメモリ630a、630b、630cおよび630dに書き込まれ読み出されるかを示している。最下段の「出力」と書かれた行は、フレームが動き補償プロセッサ116aによって供給される順序を示す。

【0065】時刻 T_3 から開始して、最初のIフレーム I_0 が、動き補償プロセッサ116に供給され、動き補償メモリの1つ、例えばメモリ618aに記憶され、同時に、例えばラスタメモリ630aに記憶される。これはフレーム内符号化画像であるため、動き補償処理は期間 T_3 まで行われぬ。時刻 T_4 において、フレーム B_{-2} を示すセグメントデータがプロセッサ116aに供給され、このフレームに対し、フレーム P_3 からのデータおよびフレーム I_0 からのデータを用いた双方向動き補償処理が行われる。フレーム P_3 は、時刻 T_0 に動き補償メモリ618bに記憶されたものであり、フレーム I_0 は、メモリ618aに記憶されたものである。結果は、期間 T_4 中にラスタメモリ630cに記憶される。また、期間 T_4 中に、復号化フレーム P_{-3} のセグメントデータがラスタメモリ630bによって供給される。

【0066】時刻 T_5 に、フレーム B_{-1} を示すデータを動き補償プロセッサ618aが受け取る。またこのデータには、メモリ618aに記憶された復号化されたフレーム I_0 およびメモリ618bに記憶された処理済みフレーム P_{-3} を用いた双方向動き補償処理が施される。処理済みフレーム B_{-1} は期間 T_5 中にメモリ630dに記憶され、処理済みフレーム B_{-2} からのデータはメモリ630cから読まれる。

【0067】期間 T_6 中、予測フレーム P_3 のデータは、動き補償プロセッサ618aに与えられる。このデータは、期間 T_3 中に動き補償メモリ618aに記憶されたフレーム I_0 のデータを用いて処理される。得られたフレーム P_3 の処理済みデータは、期間 T_6 中にラスタメモリ630bに記憶される。また期間 T_6 中には、記憶されたフレーム B_{-1} がメモリ630dから供給される。時刻 T_7 において、双方向フレーム B_1 がプロセッサ116aから受け取られ、記憶されたフレーム I_0 および P_3 中のデータを用いて処理され、ラスタメモリ630cに記憶される。期間 T_7 中、記憶されたフレーム I_0 のセグメントデータがラスタメモリ630aから供給される。

【0068】処理はこのようにして、それぞれ期間 T_8 、 T_9 、 T_{10} 、 T_{11} 、 T_{12} 、 T_{13} および T_{14} 中に受け取られるフレーム B_2 、 P_6 、 B_4 、 B_5 、 P_9 、 B_7 および B_8 に対して継続される。これらの期間中、処理済み画像フレーム B_1 、 B_2 、 P_3 、 B_4 、 B_5 、 B_6 および B_7 のセグメントデータが、図7に示すようにラスタメモリ630a～630dから供給される。

【0069】動き補償メモリ618aおよび618bの1つに記憶された処理済み画像フレームは、場合によって、双方向予測のための前方向および後方向参照メモリの両方と

して用いられ得ることに注意されたい。例えば、期間 T_4 および T_5 中において、記憶されたフレーム I_0 が、フレーム B_{-2} および B_{-1} の値を予測するための後方向参照メモリとして用いられ、期間 T_6 、 T_7 および T_8 中においては、フレーム P_3 、 B_1 および B_2 の値を予測するための前方向参照メモリとして用いられる。

【0070】本発明を4つの並列チャネルを用いたシステムとして説明したが、入力ビットストリームを異なる数のチャネル、または画像の異なる領域を処理するチャネルに分割する同様の回路によって実施しても良い。例えば、画像を水平だけでなく垂直に分割しても良い。この場合、例えば、画像を各々が画像の4分割部分を表している4つのセグメントに処理される。

【0071】（第2の実施例）図8は、単一の高帯域幅（high bandwidth）メモリを用いたHDTV復号化システムの実施例のブロック図である。このシステムは、MPEG-2規格によって符号化された高精細テレビジョン信号を復号化するのに用いることができる。図1に示されたシステムのように、図8に示されたシステムには、高精細テレビジョン復号化規格のうちのいくつかの局面は表されていない。具体的には、ディジタルデータストリームを復元するための受信されたHDTV信号の復調、トランスポートレイヤの復号化、および表示用システムによって与えられた信号の処理である。図8に示された回路810はMPEG-2ビデオ復号器である。以下に述べるように、この復号器にはトランスポートレイヤから導き出されたデータ値が与えられる。

【0072】本発明の第1の実施例のように、第2の実施例による復号器は、多重並列復号化パス（multiple parallel decoding path）を備えており、それらのそれぞれは、VLD（818および822）、逆量子化プロセッサ（834および838）および逆離散コサイン変換（IDCT）プロセッサ（842および846）を有する。復号化された画素のブロックを含む、単一の時間多重化されたストリームをつくるために、これらの復号化パスによってつくられた2つのデータストリームは、動き補償処理回路858、860および866によって処理される。動き補償処理回路は、並列処理のパスも含む。2つの復号化パスは、いくつかの位置において、データをメモリ820からリード（read）し、メモリ820にライト（write）する。

【0073】図10は、VLDプロセッサ818およびVLDメモリ821のブロックダイヤグラムである。VLDプロセッサ822およびメモリ824は、以下に示すように、この回路の一部がVLDプロセッサ822によってディセーブルされうる点を除き、図10に示された回路と同一の回路を備えている。

【0074】図8および図9に示されるように、マイクロプロセッサ830は復号器に接続されている。このマイクロプロセッサは、システムの状態を決める、レジスタの中の値を設定するために用いられる。例えば、図8に

示されるシステムにおいては、マイクロプロセッサ830によって与えられる値は、メインプロファイル・メインレベルからメインプロファイル・ハイレベルまでの異なるタイプの信号を取り扱うために、復号器を構成を決める（configure）。図8に示されるように、マイクロプロセッサ830は、復号器の中のマイクロプロセッサインタフェース812に接続されている。図10に示されるVLDプロセッサも、VLDプロセッサをマイクロプロセッサインタフェース812にリンク（link）させるのに用いられるコンピュータインタフェース1000を備えている。このインタフェースは、マイクロプロセッサ830とVLDプロセッサのさまざまな要素との間のデータ転送を調整（coordinate）する。図10に示されるように、データ転送バスCBは、コンピュータインタフェース1000を、マイクロプロセッサ830によって構成が決められたり、制御されたりするVLDプロセッサの構成要素のそれぞれに接続する。マイクロプロセッサ830によって与えられるデータは、また、外部制御機能（不図示）によって、またはMPEGデータストリームのトランスポートレイヤから制御情報を抽出するトランスポート復号器（transport decoder、不図示）によって与えられてもよい。

【0075】トランスポート復号器の1つの機能は、ビデオデータからオーディオデータを分離することである。このデータはプログラムエレメンタリストリーム（program elementary stream、PES）パケットに含まれている。伝送のために、それぞれのPESパケットは、複数の固定長トランスポートパケットの中に分割されている。それぞれのトランスポートパケットは、1つのPESだけについてのデータを含んでいる。トランスポートパケットは、トランスポートパケットを復号化するとき用いられる制御情報をもつヘッダをも含んでいる。このようにトランスポート復号器は、制御情報をマイクロプロセッサ830に与えながら、トランスポートパケットヘッダを解析（parse）し、復号化し、かつルータ814にPESパケットのシーケンスを与えるためにPESパケットをリアセンブル（reassemble）する。

【0076】図10に示されるプロセッサにおいて、ルータ814は、PESパケットをその入力ポートで受け取る。ルータ814の内部にあるPESパケット解析器（PES packet parser）1002は、PESパケットヘッダからデータを抽出し、PESパケットデータからビットストリームを再構築（reconstruct）する。それからビットストリームは、スタートコード処理／ルータ回路1004に送られる。回路1004は、ビットストリーム中スライスレイヤまでの（in the bit-stream down to the Slice layer）の制御情報（すなわちスタートコード）を認識し、この制御情報に基づいてビットストリームを2つの論理的に定義されたパス（logically defined path）に分割する。これらのパス（path）は共に、メモリ820の単一のバッファエリア、つまりVBVバッファエリア、の中においてメモリ

のブロックを用いている。連続する (successive) スライスを別々のパスに分割することによって、ルータ814は、VBVバッファエリアのブロックが一方のパスに属するか、他方のパスに属するかを特定する。両方のパスのデータは、メモリ820の単一のエリアに格納 (store) される。本実施例では、ブロックは、図8に示されるDRAM制御・アドレス発生器826に保持されているテーブルにおいて識別される。

【0077】 上述のように、MPEG-2データストリームの符号化されたビデオ部 (encoded video portion) は、階層においてはスライスレイヤよりも上である、シーケンスレイヤ、GOP (Group of Pictures) レイヤおよびピクチャレイヤにおける情報を含む。図8に示される本発明の実施例においては、この情報は、ルータ814によって両方のパスにコピーされる。図10を参照して以下に述べるように、この情報は、それぞれの復号器のための制御値 (control value) を生成するために、VLDプロセッサ818および822のそれぞれによって処理される。あるいは、VLDプロセッサ818および822のうちの1つが、他のVLDプロセッサを制御するマスタVLDプロセッサとして構成してもよいことがわかる。この構成では、マスタVLDプロセッサだけが、シーケンスレイヤ、GOPレイヤおよびピクチャレイヤからの制御値を受け取ることになる。このマスタ復号器は、必要な情報をスレーブ復号器に渡すことになる。

【0078】 図8に示されるシステムにおいては、一方のパスのメモリブロック (blocks of memory) のデータは、VLDプロセッサ818によって処理され、それとともに、他方のパスのブロックにおけるデータはVLDプロセッサ822によって処理される。VLDプロセッサ818および822は、共に同じビデオ復号化機能をおこなうので、VLD818、1つだけが図10を参照して詳細に説明される。

【0079】 図10を参照して、VLDプロセッサがバッファメモリ821からビットストリームデータを取り除くと、より多くのデータがメモリアクセスリクエストを介して、メモリ820に与えられる。本発明のこの実施例においては、メモリ820からフェッチされたビットストリームデータをバッファするメモリ821は、メモリ部1010およびメモリ制御部1012を備えている。メモリ制御部1012は、メモリ1010がどれだけいっぱいであるか (fullness) をモニタし、メモリ820からフェッチされるデータを保持するのに十分な空間がメモリ部1010に存在するときには、メモリ820からさらにデータをリクエストする。

【0080】 簡単のために、実施例の復号器によって復号化されるビデオ信号は、各スライスが復元された画像の幅を埋める (span) だけ充分な数のマクロブロックを含むとしている。そのため、復号化チャンネルのそれぞれは、画像の水平ストライプを処理できる。第1の実施例を参照して前述したように、実際の信号は、1つのピク

チャの幅よりも短いスライスを含みうるので、これらのスライスが表現する画素数は異なることがある。これらの信号は、図8および図9で示された復号器に手を加えることなく、これらの復号器によって復号化される。

【0081】 本実施例においては、データは、「ロウ (row)」単位でメモリ820に格納され、メモリ820からフェッチされる。1つのロウには6,144 (6k) バイトのデータが含まれている。図8に示されるメモリ820は、実際には並列に配置された3つのメモリである。これらのメモリのそれぞれは、1回のリクエストに対して、2,048 (2k) バイトからなるロウを与えることができる。以下に説明するように、3つのロウはすべて同時にリードされたり、ライトされたりするが、3つのメモリのそれぞれについて別々のアドレスを指定 (specify) することもできる。

【0082】 図8および図10に示されるシステムにおいては、復号器をスタートさせるために充分な量のデータがメモリ820に格納されるとすぐに (すなわち、VBVバッファサイズの判定基準が満たされるとすぐに)、メモリ821は、それぞれ6,144ビットのアクセスを3回おこなうことで、合計18,432ビットのビットストリームデータをロードする。この最初の転送が終わると、データは、メモリ821によって要求されるにつれてアクセスされる。その結果、VLDメモリ821は、メモリ820からデータフェッチするたびに6,144ビットのビットストリームデータを格納する。上述のように、VLDメモリ821は、ビットストリームのブロックをあるパスからフェッチし、いっばうでメモリ824 (図8に示されている) は他方のパスからブロックをフェッチする。メモリ821および824のそれぞれにある、図10に示されるメモリ制御回路1012は、バッファメモリ821および824のメモリ1010によってデータがそれぞれの復号器818および822に必要に応じて与えられるように、それぞれのメモリ要素1010を制御する。

【0083】 図10を参照すると、メモリ1012から得られたビットストリームは、シフタ1014に与えられる。シフタ1014は、ビットストリームからの可変長符号データを固定長符号値に変換するためにさまざまな可変長符号 (VLC) テーブルを用いる。シフタ1014は、データ値を低レベルシンタックス (low-level syntax) 制御回路1016および高レベルシンタックス (high-level syntax) 制御回路1018に与えるとともに、制御情報をこれらの制御回路1016および1018から受け取る。これらの制御回路は、ビットストリームシンタックスをモニタすることによって、どのVLCテーブルを用いてビットストリームデータを復号化すべきか、およびどのデータを復号化すべきかを決める。これらの復号器の動作は、先に参照された内部規格の草案において定められたMPEG-2ビデオデータシンタックスに従う。一般に、高レベルシンタックス制御器1018は、シーケンスレイヤ、GOPレイヤおよびピクチャレイヤを復号化するときシフタ1014の動作を制御

し、低レベル制御器1016は、スライスレイヤおよびマクロブロックレイヤを復号化するときシフトを制御する。

【0084】シフト1014は固定長符号値をマクロブロック情報レジスタ1022、システム情報レジスタ1024およびランレンスゼロ発生回路1028に与える。レジスタ1022および1024に与えられた値は、シーケンスヘッダ、GOPヘッダ、ピクチャヘッダおよびスライスヘッダから抽出された制御値である。これらの値は、例えば、係数データのマクロブロックの復号化を制御するため、動きベクトルの生成を制御するため、および逆量子化行列の復号化を制御するために用いられる。

【0085】ランレンスゼロ発生回路1028は、値がゼロの係数のグループを表現するコード値を、特定された数のゼロへと伸長する。ランレンスゼロ発生回路1028およびイントラ(intra) DC係数計算回路1036の動作を制御するために、係数制御回路1030は、マクロブロック情報レジスタ1022およびシステム情報レジスタ1024に保持された情報、および低レベルおよび高レベルシンタクス制御回路によって与えられる情報を用いる。

【0086】量子化された離散コサイン変換(DCT)係数の復号化において係数計算回路1030によって用いられる情報を発生するよう低レベルシンタクス制御回路1022が示したときには、マクロブロック制御生成回路(macroblock control generation circuitry) 1032は、マクロブロック情報レジスタ1022およびシステム情報レジスタ1024からのデータを抽出し結合する。回路1032は、動き補償符号化技術を用いて符号化される画像の一部に用いられた動きベクトルを再び発生させるために動きベクトル計算回路1034によって用いられる情報も与える。先に参照したMPEG-2内部規格の草案において記載されるように、動きベクトル情報は、MPEG-2シンタクスの多くのレイヤにおいて分配(distribute)される。したがって、動きベクトル計算回路1034は、動き補償制御レジスタ1040に格納される値をつくるために、マクロブロック情報レジスタ1022およびシステム情報レジスタ1024からのデータも直接的に用いる。

【0087】マクロブロック制御生成回路1032によってつくられるその他の情報は、逆量子化制御レジスタ1038および動き補償制御レジスタ1040に格納される。レジスタ1038および1040に格納される情報は、マクロブロック情報レジスタ1022、システム情報レジスタ1024およびフレームカウンタ1020からのデータを高レベルシンタクス制御回路1018が示したときに統合する高レベル制御生成回路1026によっても与えられる。

【0088】図10に示される復号器は、復号化されたデータを含む4つの出力信号を与える。つまり係数データ信号CD、量子化行列データ信号MD、逆量子化制御信号IQ Controlおよび動き補償制御信号MC Controlである。信号CDは、係数データを運ぶ。信号IQ ControlおよびMC C

ontrolは、それぞれ逆量子化演算および動き補償処理についての情報を運ぶ。信号CDおよびIQ Controlは、図8に示されるようにIDCTプロセッサ842および逆量子化プロセッサ834に加えられて、係数データを対応する画素データのブロックに変換するのを補助する。信号MC Controlは、半画素(half-pixel)・内挿回路866に加えられて、以下に説明するように、IDCT回路842によって与えられる復号化された画素差分データの動き補償処理を制御する。同様の信号は、逆量子化回路838およびIDCTプロセッサ846の動作を制御するために、またこれらの回路によって与えられる差分符号化された画素値の動き補償処理を制御するために、VLD822によって与えられる。

【0089】図10に示される復号器は、MPEG符号化された画像データを復号化するために用いられるシステムクロック信号を発生する回路をも備えている。簡単に、この回路は、ディジタルフェーズロックループ(DPLL)を備えている(図11に示す)。この回路は、MPEG-2規格で定められた27MHzのシステムクロック信号に近い周波数を発振するようにプリセットされている。このDPLLは、2つのシステムクロックレファレンスのうちの1つ、具体的にはシステムクロックレファレンス(すなわちMPEG-2規格において定められたSCR値)か、基礎システムクロックレファレンス(すなわちMPEG-2規格において定められたESCR値)か、に応じて、システムクロック信号の位相に瞬時に同期をとることができる。これらの値は共に、入力データストリームにおいて受け取ることができるが、1セットの値だけは、クロック信号を同期するために用いられる。この瞬時の位相同期に加えて、DPLLの周波数は、いくつかのクロックレファレンス値(SCRかESCR)に応じて変化し、それによりシステムクロックの周波数を、符号化されたデータストリームにおいて特定された周波数に一致させる。

【0090】図10に示されるように、VLDプロセッサ818は、27MHzのクロック信号に加えて、いくつかのタイミングおよび制御信号を発生する。DPLL1044によって与えられる内部カウンタ値は、マルチプレクサ1048の1つの入力ポートに与えられ、外部27MHzクロック信号から導き出された外部カウンタ値は、マルチプレクサ1048の他の入力ポートに与えられる。この外部27MHzクロック信号は、例えば、トランスポート復号器によってトランスポートパケットから導き出される。マルチプレクサ1048は、これらの信号のうちの1つを27MHzクロック信号としてフレームパルス発生器1050に与える。どのクロック信号を与えるかの選択は、マイクロプロセッサ830によって与えられる信号CBに応じておこなわれる。

【0091】フレームパルス発生器1050は、トランスポート復号器から、またはシステム情報レジスタ1024および高レベルシンタクス制御回路1018から与えられる、復号化タイムスタンプ(decoding time-stamp、DTS)値も

取り扱う。このDTS値がマルチプレクサ1048によって与えられるカウンタ値と一致するとき、回路1050はフレームパルスが発生する。このパルスは、マルチプレクサ1052の1つの入力ポートに加えられ、他方の入力ポートは、外部フレームパルスを受け取るように接続されている。マルチプレクサ1052は制御バスCBを介してマイクロプロセッサ830によって制御されている。

【0092】フレームパルスは、新しい画像フレームが復号化され、HDTV受像機によって表示される時刻を表す。表示画素クロック信号およびさまざまなその他の表示タイミング信号、例えば表示装置（不図示）のための垂直および水平同期信号を発生するために、このパルスは、フレームパルスを用いる従来のアナログPLL1056の位相検出器に加えられる。位相検出器1054は、外部から発生されたフレームパルスを、画素クロック信号をカウントダウンすることによって発生されたフレームパルスと比較する。その結果は、フィルタ/VC01056のループフィルタ部（個別には不図示）でフィルタリングされ、付属のVC0（個別には不図示）の周波数および位相を制御するために用いられ、それによりカウントダウンされたフレームパルスは、実質的にマルチプレクサ1052によって与えられるパルスと一致して発生する。

【0093】画素クロック信号および画素タイミング信号に加えて、表示タイミング回路1058は、内部タイミング回路1060とタイミング情報を交換する。回路1060は、少なくとも62.5MHzのクロック信号CKに応答する回路の部分を同期させるために用いられるタイミング信号を発生する。さらに回路1060は、例えば逆量子化・IDCT回路832によって用いられる50MHzのクロック信号など、その他のクロック信号を発生するためにも用いられる。

【0094】図8を参照すると、VLCプロセッサ818によって与えられる係数データストリームCDは、量子化された離散コサイン変換（DCT）係数のブロックをメモリ828に運ぶ。このメモリは、VLDプロセッサ818および逆量子化プロセッサ834の間で、ファーストイン・ファーストアウト（FIFO）バッファとしてはたらくとともに、VLDプロセッサ818によって与えられる量子化された係数値の各ブロックを、ブロックの逆ジグザグスキャンを表現する値のストリームに変換するのに用いられる。プロセッサ834は、それからその値を逆量子化する。逆量子化演算は、「動画および付随する音声の符号化一般」と題された内部規格の草案ISO/IEC13818-2の第7.4節において記述されている。この記載は、MPEG-2で符号化されたビデオ信号の復号化に関する教示の参考にここで援用されている。

【0095】逆量子化演算は、MPEG-2規格で規定されたプリセットされた量子化行列を用いることができ、またシーケンスヘッダにおいて与えられる特別な量子化行列を用いることもできる。MPEG-2規格で規定されるように、異なる量子化行列をフレーム内符号化されたデータ

および動き補償されたデータのために用いることができる。さらに量子化行列は、スライスの中のマクロブロックに適用される前にスケーリングされる。このスケーリングは、マクロブロックを含むスライスヘッダにおいて与えられるデータに応じておこなわれる。回路834によって用いられる量子化行列はメモリ836に格納される。

【0096】逆量子化演算の後、逆量子化された係数値は、逆離散コサイン変換演算をおこなうIDCTプロセッサ842に与えられる。この演算は、逆量子化回路834によって処理されたストリームに対応する画素値または画素差分値のストリームを復元する。IDCTプロセッサ842は、先に参照されたMPEG-2規格の第7.5節において記述された逆離散コサイン変換演算を実行する。この演算をおこなう際には、プロセッサ842は、メモリ844を作業用記憶装置として用いる。

【0097】IDCT演算から得られる画素値または画素差分値のストリームは、メモリ850に与えられる。このメモリは、FIFOバッファとしてはたらく、またブロックスキャンフォーマットを、動き補償処理回路によって用いられる特別なマクロブロックフォーマットに変換するのにも用いられる。メモリ850および852によって与えられる画素値のマクロブロックは、マルチプレクサ854および856を介して動き補償回路に与えられる。これらのマルチプレクサのそれぞれは、メモリ850および852によって与えられるマクロブロックの異なる部分をそれぞれ受け取る。マルチプレクサ854は、マクロブロックの16ライン×16画素の輝度成分のそれぞれの、上側8ライン、およびマクロブロックの8ライン×8画素の色（UV）成分のそれぞれの、上側4ラインを受け取る。マルチプレクサ856は、マクロブロックのそれぞれの、輝度成分の下側8ラインおよび色成分の下側4ラインを受け取る。

【0098】先述のMPEG-2規格において記述されているように、マクロブロックが画素差分値をもつときは、マクロブロックは動きベクトル情報も含む。この動きベクトル情報は、可変長復号器818および822によって復号化され、半画素・内挿回路866およびDRAM制御・アドレス発生回路826で使えるように、順番に処理を待つ（queue d）。

【0099】半画素内挿回路866は、画素値を、メモリ820に保持されたデータ値から直接、生成し、またはこれらのデータ値の隣接するものの間の半画素位置（half-pixel position）において内挿して生成するために、画素値を生成可変長復号器818および822によって与えられる動きベクトル情報および動き補償制御情報を用いる。回路866は、Bフレーム内挿もおこなう。868と参照符号がつけられた4つのメモリのそれぞれは、1つの9ライン×17画素の輝度データブロックおよび2つの5ライン×9画素の色データブロックをロードする。これらのブロックは、復号化されているブロックの位置とそれに関連

する動きベクトル情報とによって決められる位置においてメモリ820からフェッチされる。メモリ868のうちの2つには、メモリ820からの前方向予測データがロードされ、これにより、これら2つのメモリ868のうちの1つには、マクロブロックの上側部分がロードされ、他方の中には、マクロブロックの下側部分がロードされる。同様にして、他の2つのメモリ868も、Bフレーム内挿に用いるための後方向予測データでロードされる。

【0100】17×9画素の輝度データブロック、およびUおよびV信号のそれぞれに対応する9×5画素の色データブロックは、それぞれ、8×16の輝度ハーフ・マクロブロックおよび2つの4×8UおよびV色データブロックと比べて、ロウとカラムとが1つずつ多く、これらによりブロックは、動き補償回路によって結合 (combine) される。これら1つずつ多いラインおよび画素は、画素位置が半画素だけ水平、垂直、または対角方向にシフトされたデータブロックを生成するのに用いられる。水平方向の内挿の例として、最初の16水平画素のそれぞれは、次の隣接する画素と平均されて、結果として16の「半画素」をつくりだす。これらのそれぞれは、平均された2つの画素値の間の画素位置を表現する。入力画素1は、入力画素2と平均されて、出力画素1をつくる。入力画素2は、入力画素3と平均されて、出力画素2をつくる、などと、入力画素16および17とが平均されて、出力画素16をつくるまで繰り返される。垂直方向の補間も、同様にデータブロックにおいて垂直方向に隣接した画素を平均することによってすすめられる。対角方向の半画素は、水平方向の内挿および垂直方向の内挿を結合することによってつくられる。

【0101】動きベクトル情報にตอบสนองして、上述の半画素内挿演算は、画素データの4つの完全なハーフマクロブロックを生成する。さらに、動きベクトルデータにตอบสนองして、回路866のBフレーム内挿部は、前方向予測ハーフマクロブロックを、後方向予測ハーフマクロブロックからの適当な画素と平均することによって、2つのハーフマクロブロックをつくる。

【0102】回路866によって生成されたハーフマクロブロックは、並列に処理され、加算・クリップ (add and clip) 回路858および860を用いて、マルチプレクサ854および856によって与えられる差分画素値のそれぞれのハーフマクロブロックと結合される。これらの回路は、マルチプレクサ854および856によって与えられる9ビット画素値を、回路866によって与えられる8ビット画素値と加算することによって、8ビットの出力を得る。これらの画素値は、それぞれのバッファメモリ862および864にライトされる。メモリ862および864からこれらの画素値はメモリ820に格納されて、復号化された画像の画素値からなるフィールドを形成する。本発明の実施例においては、メモリ862および864のデータは、1回に1マクロブロックずつメモリ820に転送される。以下に説明

するように、本発明の実施例においては、データは、1回に1マクロブロックずつメモリ862および864からメインメモリ820へライトされる。

【0103】いったん画像データがメモリ820に格納されると、そのデータは、後で与えられる差分符号化された画像データを復号化するために、参照フレームデータ (reference frame data)、つまりアンカーフレームデータ (anchor frame data) としてアクセスされたり、表示装置 (不図示) に表示されるためにアクセスされたりする。本発明の実施例においては、復元された画像の個々のラインを表現する画素データは、表示のためにメモリ874およびディスプレイコントローラ875を用いて、メモリ820からアクセスされる。ディスプレイコントローラ875は、VLDプロセッサ818および822によって与えられる信号に応じて、ピクチャヘッダのプレゼンテーションタイムスタンプ値 (presentation time stamp value) によって示されるときには、メモリ820に保持されたデータにアクセスし、かつ表示のためにラスタスキャンの順番 (raster-scan order) でデータをリフォーマット (reformat) する。図8に示されるように、メモリ874は、外部表示装置によって与えられるか、または上述のようにVLDプロセッサ818において生成されるディスプレイクロック信号にตอบสนองして動作する。本発明の実施例においては、画素データは、表示のためにマクロブロックのかたちではアクセスされない。そのかわりに、メモリ820の連続するロウ (row) からのデータのラインがアクセスされる。これらのラインは、表示される画像の1ラインを表現するデータを形成するように連結される。

【0104】さまざまな種類のデータがメモリ820に格納される。本発明の実施例においては、メモリ820は、MPEG-2で符号化されたビットストリーム、2つのアンカーフレーム、復号化されたフレームおよび表示されているフレームの少なくとも一部分を保持している。

【0105】図8に示されるように、メモリ820は、3つのチャンネルに分割されており、各チャンネルは、それぞれ異なるRAMBUS ASIC (application specific integrated circuit) セル (RAC) 872に接続されている。いっぽうRAC872は、RAMBUS ASICセル (RAC) インタフェース870に接続されている。RACインタフェース870は、並列892ビットのデータを、上述のように単一メモリポートを介して、復号器回路のさまざまな要素に対して与え、またそれらの要素から並列892ビットのデータを受け取る。RAC872およびメモリ820の間のバスは、クロックレートが250MHzの双方向バスである。本発明の実施例においては、このメモリポートは、復号器IC110の内部へと拡張されていて、別々の入力および出力バスを備えている。しかし、少なくともMPEGの低いレベル (lower level) においては、単一の双方向メモリバスであれば内部メモリバスとして用いることができる。

【0106】図12は、メモリ820の構造のうちチャンネル

の1つ(チャンネルB)を詳細に示すブロック図である。示されるように、各チャンネル(A、BおよびC)は、実際のデータを保持する2つのメモリデバイス1214および1216を備えている。各メモリデバイスは、さらに2つのバンク、上側バンク(U)と下側バンク(L)とに分割されている。チャンネルのそれぞれにおけるデータはロウ(row)に配列されており、ロウ全体は、論理回路1212によって1回でアクセスできる。データのロウは、1つのデバイスの1つのバンクからアクセスされる。よって、各チャンネルは、同じロウ番号の4つのロウをもつ。これらのロウは、どのデバイスのどのバンクがデータのロウにアクセスするために用いられるかによって、区別(differentiate)される。論理回路1212は、特定のメモリアクセスのために用いられる適切なデバイスおよびバンクを選択し、インタフェース回路1210へデータを与え、インタフェース回路1210からデータを受け取る。インタフェース回路は、データをメモリデバイス1214および1216に転送したり、メモリデバイスから転送したりするために規定されたプロトコルにしたがって、図8に示されるASICセルとデータをやりとり(mirror)する。各チャンネルについて、1つの「ロウ」は、2,048バイトのデータをもつ。したがって、メモリ820の3つのチャンネルについては、1つのロウは、6,144バイトのデータをもつことになる。インタフェース1210からRAC872(図8に示す)への転送は、双方向メモリポートを介して250MHzでおこなわれ、このとき、1バイトのデータは、各チャンネルにおいて250MHzのクロック信号の各エッジに一致して転送される。このため、各チャンネルについて8バイト(1オクトバイト)のデータが、62.5MHzのクロック信号の各周期毎に転送されることになる。

【0107】図13(a)、図13(b)および図13(c)は、画像データのフィールドがどのようにメモリ820に格納されるかを説明するのに役立つデータ構造の図である。図13(a)は、メインプロファイル・ハイレベル画像の画像フィールドを示す。この画像フィールドは、540ラインをもっており、各ラインは、1920画素をもっている。上述のように、メモリ820によって与えられるデータのロウは、長さが固定である。したがって、画像の幅の長さをもつ、マクロブロックのスライスは、8つのロウを用いており、各ロウは、図13(b)に示されるように、6,144バイトのデータを持ち、水平方向に384バイト、垂直方向に16ラインのマトリクス状に配列されている。上述のようにメモリ820は、8バイト(1オクトバイト)の単位でデータを与える。図13(c)は、輝度信号(Y)および2つの色差信号(UおよびV)のそれぞれのための1オクトバイトのデータを示すデータ図である。

【0108】図14は、1つの画像フィールドを構成するデータのロウがどのようにメモリ820において格納されるかを示すメモリマップ図である。図14に示されるように、マクロブロックのロウは、それらのデバイス番号

(D0またはD1)、それらのデバイス中のバンク(LまたはU)およびそれらのバンク中のロウ番号(R0~R67)によって識別される。次の画像フィールドは、メモリロウR68から始まる。

【0109】MPEG-2規格において規定されるように、各マクロブロックは、6つのブロック、つまり輝度情報信号Yとして8画素×8ラインのブロックを4つと、2つの色情報信号UおよびVについて、8画素×8ラインのブロックをそれぞれ1つずつとをもつ。図15(a)、図15(b)および図15(c)は、本発明で用いるのに適するように画像の画素をロウ(row)にマッピングするしかたを示す。図15(a)は、メモリ820に格納されている画像フィールドについて、画素データの第1のメモリロウ(memory row)であるロウ(row)1を示す。図15(b)および図15(c)は、フィールドにおいてロウ1の画素データと水平方向に隣接した画素情報をもつ、メモリロウ2および3の2分の1をそれぞれ示す。

【0110】図15(a)、図15(b)および図15(c)に示されるメモリのロウは、2つのセクションに分割される。垂直な破線1500の左側のセクションは、輝度データを保持しており、線1500の右側のセクションは、色情報を保持している。A、BおよびCの各文字は、メモリ820の3つのチャンネルのうちのそれぞれ1つから得られたオクトバイトのデータを表現している。よって、図15(a)に示されるメモリのロウは、16ラインを含み、各ラインは、48オクトバイトをもつ。本発明の実施例においては、3つのチャンネルすべては、各メモリアクセス動作時に使用される。データのマクロブロックがメモリ862および864からメモリ820へと格納されているときは、2つのチャンネルは、輝度情報(62.5MHzのクロックパルスあたり2オクトバイト)のために使用され、1つのチャンネルは、色情報(62.5MHzのクロックパルスあたり1オクトバイトであり、UおよびVは交互)のために使用される。半画素内挿器166で使うためにデータがフェッチされるとき、およびデータが表示のために取り出される(retrieve)とき、3つのチャンネルすべては、まず、輝度情報をフェッチするために使用され、次に色情報をフェッチするために使用される。

【0111】データは、連続するオクトバイトが矢印1501で示される方向にアクセスされるように、メモリ820にライトされ、かつ半画素内挿器で使うためにメモリからリードされる。データは表示のためにメモリからリードされるが、そのとき連続するオクトバイトは、矢印1503で示される方向に得られるようにリードされる。矢印1501で示される方向のメモリ操作のためには、オクトバイトのアドレスは、連続しており、第1のアドレスから後のアドレスは、特定される必要はない。矢印1503で示される方向のメモリリード操作のためには、3つのチャンネルからフェッチされた3つのオクトバイトのグループそれぞれについて、別々のアドレスが特定されなければ

ならない。本発明の実施例においては、これらのアドレスは、RAMBUSシステムに関して規定されるシリアルアドレスライン（別個には不図示）を用いてフェッチされる。

【0112】輝度情報（Yとする）および色情報（UVとする）は、メモリ120のチャンネルA、BおよびCに、図9に示されるようにY-(A, B)、UV-(C) ; Y-(C, A)、UV-(B) ; Y-(B, C)、UV-(A)の順で、同時にライトされる。図15(a)に示されるように、Yデータは、破線1500の左側にライトされ、対応するUVデータは、破線1500の右側にライトされる。図16に示されるように、U色データ1604は、V色情報1606と垂直方向にインタリーブされている。各連続する水平マクロブロックの輝度成分は、図15(a)に示されるように第1のメモリロウの2つのカラム(column)をすべて占有しており、色情報は、1つのカラムをすべて占有している。輝度成分は、図15(a)の左端から始まってライトされ、色成分は、破線1500から始まってライトされる。このパターンは、輝度情報が線1500の左に隣接するカラムまでライトされ、対応する色情報が図15(a)の最も右のカラムにライトされるまで続く。次のマクロブロックは、図15(b)に示されるメモリ820の第2のロウにライトされる。この第2のメモリロウのデータは、チャンネル(A, B)を使ってメモリにライトされる第1のメモリロウの最後の輝度データの後に、チャンネル(C, A)を使って第2のメモリロウにライトされる輝度データが続くように、上述の順序を繰り返す。データは、このパターンでライトされ、輝度および色データは、メモリのロウの境界について連続である。

【0113】図14は、各セルが図15(a)に示されるメモリロウである、1つの完全なフィールドを示す。水平マクロブロックのロウ（ビデオ画像の16ライン）は、図14に示されるように8メモリロウ(memory row)を用いる。データを順序づける上述の方法は、図14に示されるメモリロウについてデータの連続性を提供する。この順序の最も重要なことは、参照マクロブロックが容易にアクセスされうることである。規格において規定されるように、これらの参照マクロブロックは、任意の垂直および水平方向のずれ(displacement)を規定するそれぞれの動きベクトルだけ、現在の入力マクロブロックからオフセットされており、各動きベクトルは、2分の1画素の解像度をもっている。これは、参照マクロブロックの位置は、図14および図15(a)～図15(c)のセルの線に限定されないことを意味する。

【0114】メモリ820は表示のためにリードされ、データは、ディスプレイコントローラ875の制御のもと、表示メモリ874に格納される。図14を参照して、フィールドは、一般に左から右へ、上から下へとリードされる。3つのメモリチャンネルすべてが使用される。以下の説明においては、図15(a)は、図14の左上隅のメモリロウ1410を示し、図15(b)は、ロウ1410の右に位置するメ

モリロウ1412を示す。あるアクセスでは、図15(a)の第1のラインが左から右に矢印1503の方向にリードされる。Yの値が常に先にリードされ、後にUおよびVの値が続くことに注意されたい。次のアクセスは、図15(b)に示されるように第2のメモリロウ1412からなされる。図15(b)中で、第1のラインは、左から右へとリードされる。これは、ディスプレイスタが形成されるように繰り返される。3つのチャンネル間のデータの順序は、図15(a)、図15(b)および図15(c)に示される3つのロウのそれぞれについて異なることに注意されたい。このパターンは、3つのロウ毎に繰り返される。ディスプレイメモリ874が、ディスプレイコントローラ875の指示のもとにリードされるとき、データは、正しい表示のために、対応する輝度および色成分を結合することによって再び順序づけられる(reorder)。

【0115】上述のように、常に半画素内挿器は、輝度データにアクセスして17画素×9ラインのブロックを得、それぞれ9画素×5ラインの2つのブロック（Uの値1ブロックおよびVの値1ブロック）の色データにアクセスする。図17は、17×9画素の輝度ブロックを得るためにメモリがどのようにアクセスされるかを示す。

【0116】17の連続する画素値にアクセスするために、3つのチャンネルからのデータが必要となる。図17は、データが、メモリロウにおいて、データは、3つの取りうるチャンネルの順序、(A, B, C)、(B, C, A)、(C, A, B)のうちどれでも取りうることを示す。例えば図15(a)に示されるロウを用いれば、図17のアイテム1702で示されるデータは、アイテム1502の2つのカラムおよびアイテム1508の1つのカラムとして得られる。所望の17×9画素のブロック全体は、フェッチされた24×9画素のブロックの中に入っており、プロセッサ866によってフェッチされたブロックからアクセスされ、メモリ868のうちの1つに格納される。対応する2つの9画素×5ラインの色情報のブロック全体は、図15(a)に示されるデータアイテム1504および1506からフェッチされうる24画素×10ラインのデータブロックの中に入っている。

【0117】本発明の実施例においては、画素のブロックは、メモリ820から、半画素内挿器866に接続されたメモリ868のうちの1つに転送される。そして、内挿器866は、現在処理されているマクロブロックについての動きベクトル情報に応じて、17×9の輝度画素ブロックおよび2つの9×5の色画素ブロックに対応するブロックの適当な部分を選択する。

【0118】メモリロウにアクセスするための一般的なプロシージャは、以下のステップを用いる。まず、アドレスされたロウに対するメモリアクセスリクエスト(memory access request)が、アドレスの一部としてデバイス、デバイス内でのバンク、およびバンク内でのロウを指定することによっておこなわれる。もし、このアドレスのデバイス、バンクおよびロウの部分が、直前にアク

セスされたものと同じだった場合は、アクノリッジ (ACK) 信号が受け取られ、データが転送される。しかし、もしリクエストされたロウが最後にアクセスされたロウと同じでない場合は、ネガティブアクノリッジ (NAK) が受け取られ、メモリ820は、論理回路1212 (図12に示す) において、新しいロウからのアドレスされたデータをフェッチする内部セットアップ操作が始まる。もし、セットアップ操作が完了した後に、第2のリクエストが生じた場合は、ACKとリクエストされたデータとが返される。

【0119】以上に説明したメモリ機構の効果は、画像フィールドを表現するデータがいくつかの異なる方法で格納され、フェッチされることを可能とすることである。画像データは、MPEG-2マクロブロックフォーマットとフォーマットがコンパチブルな方法で格納でき、それでいて多く2つのメモリリクエストで16×8画素または17×9画素のハーフマクロブロックにアクセスできる。またブロック毎にラスタ変換をするのに便利なフォーマットでアクセスすることもできる。

【0120】本発明は、2つの実施例に基づいて説明されてきたが、請求項の精神および範囲内において規定されるように実施できるものである。

【0121】

【発明の効果】本発明の復号化システムは、入力ビットストリームは、並列に配された復号器によって処理される。このことにより、少なくとも次の効果が得られる。

【0122】比較的安価なシステムでありながら、リアルタイムでMPEG-2に準拠したビデオ信号を復号化できる。

【図面の簡単な説明】

【図1】並列処理アーキテクチャを用いた本発明の実施例を含む高精細テレビジョン復号器のブロック図である。

【図2】図1に示される高精細テレビジョン復号器と共に用いられるのに適したデフォーマッタ・ルータのブロック図である。

【図3】図2に示されるデフォーマッタ・ルータの動作を説明するために有効なタイミングチャートである。

【図4】図1に示される復号器の動作を説明するために有効な画像マップである。

【図5】図1に示される復号器の動作を説明するために有効なタイミングチャートである。

【図6】図1に示される動き補償プロセッサで用いられるのに適した回路のブロック図である。

【図7】図6に示される動き補償処理回路の動作を説明するために有効なフレームタイミングチャートである。

【図8】単一の高帯域幅メモリを取り入れた本発明の実施例を含む高精細テレビジョン復号器のブロック図である。

【図9】PAL、NTSCなどの放送規格に対応する、コード化されたビデオ信号を取り扱う、図1に示される復号器の適用を示した図である。

【図10】図1、8および9に示される復号器のいずれかにおいて用いられるのに適した可変長復号器のブロック図である。

【図11】図10に示される可変長復号器において用いられるのに適したデジタルフェーズロックループのブロック図である。

【図12】図8および9に示される復号器において用いられるのに適した高帯域幅メモリのブロック図である。

【図13】(a)～(c)は、図12に示されるメモリへの画像のマッピングを説明するために有効なデータ構造図である。

【図14】図12に示されるメモリ内に記憶するための、画像フィールドのマッピングを説明するために有効なデータ構造図である。

【図15】(a)～(c)は、図12に示されるメモリへ画素値のロウを記憶するために用いられるメモリマッピングを説明するために有効なデータ構造図である。

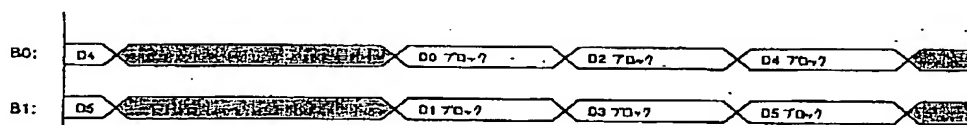
【図16】図12に示されるメモリから画素値のブロックをアクセスする方法を説明するために有効なデータ構造図である。

【図17】図8および図9に示される半画素内挿器によって用いられる、図12に示されるメモリから画素値の伸張されたブロックをアクセスする方法を説明するために有効なデータ構造図である。

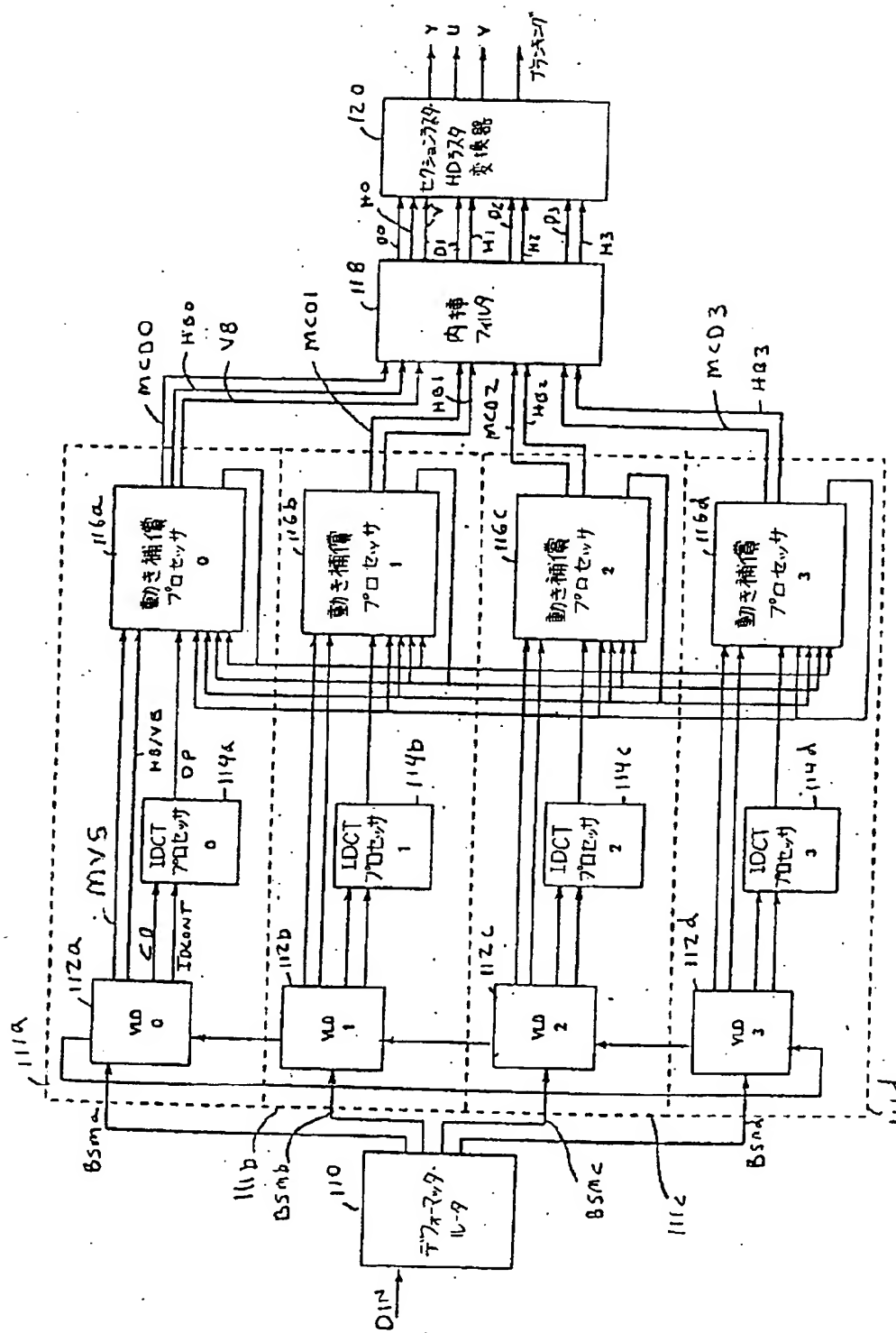
【符号の説明】

- 110 デフォーマッタ・ルータ
- 111 a～111 d 復号器
- 112 a～112 d 可変長復号器
- 114 a～114 d 逆離散コサイン変換プロセッサ
- 116 a～116 d 動き補償プロセッサ
- 118 内挿フィルタ
- 120 セクションラスタ・高精細ラスタ変換器

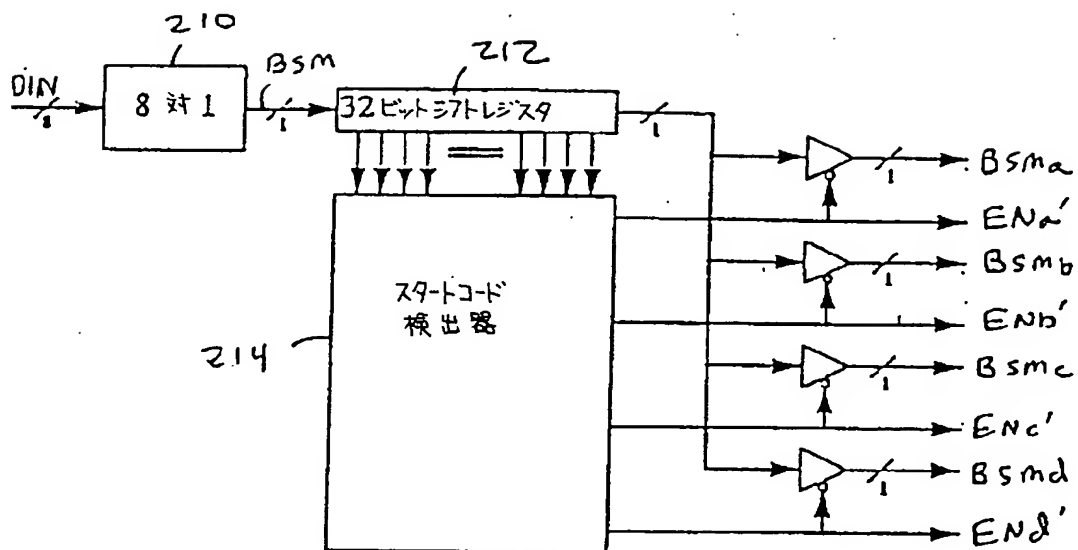
【図5】



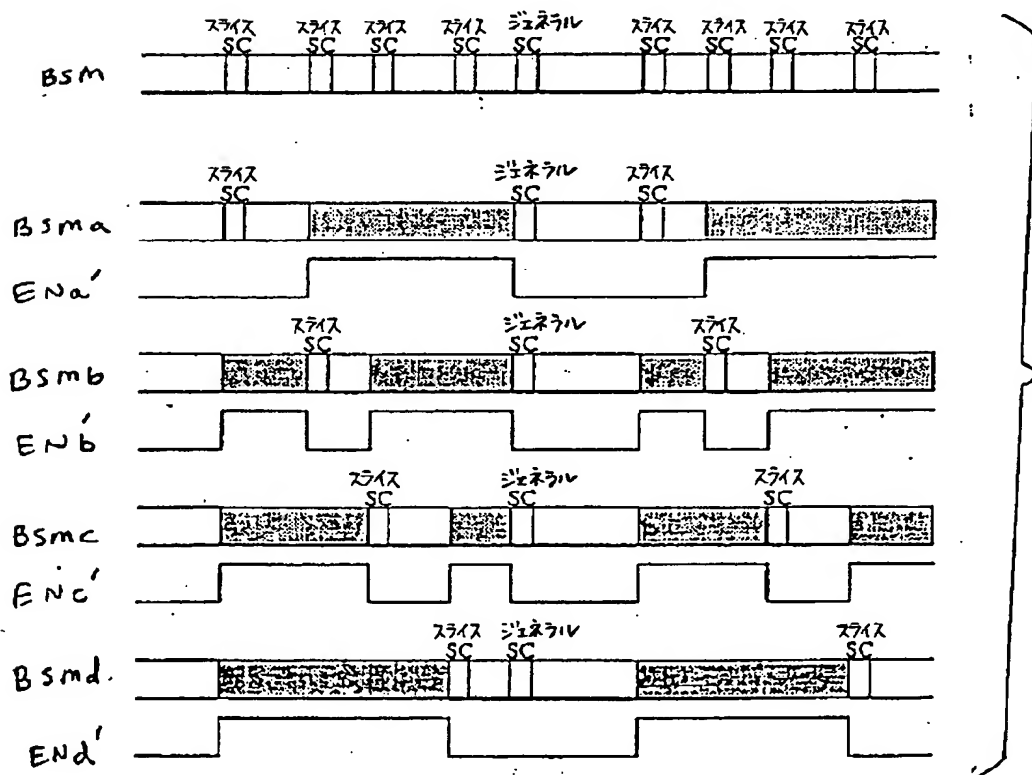
【図 1】



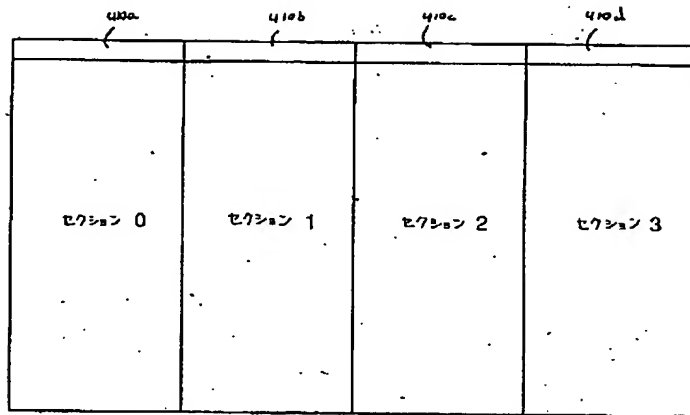
【図2】



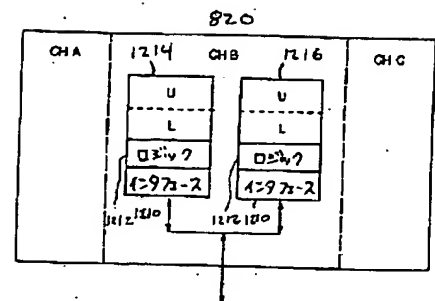
【図3】



【図4】



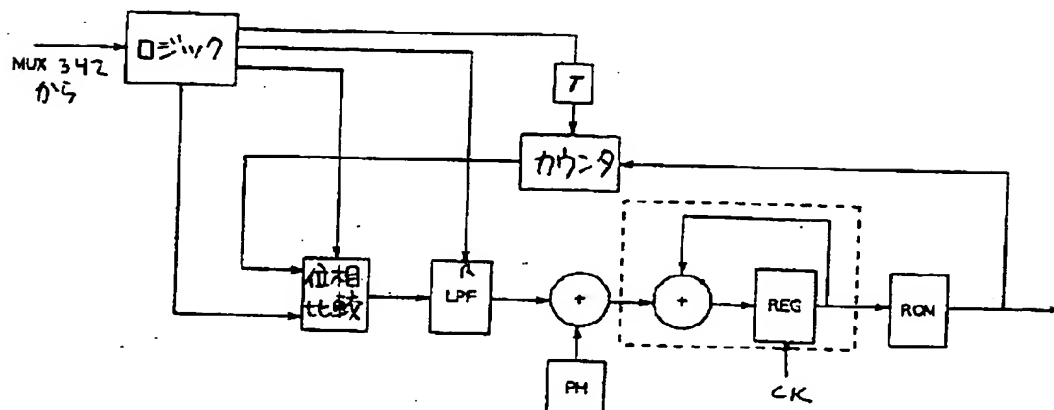
【図12】



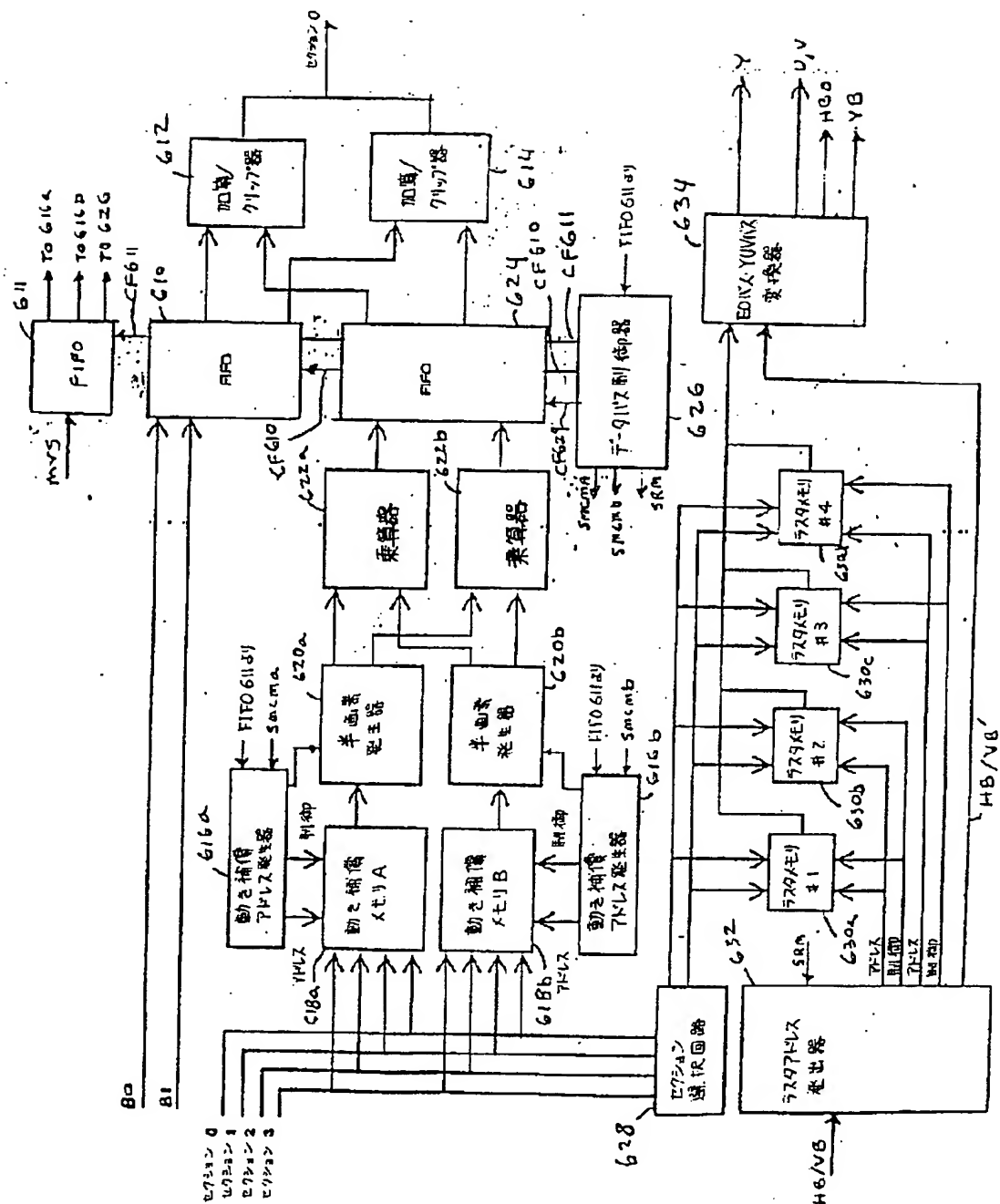
【図7】

	T_1	T_2	T_3	T_4	T_5	T_6	T_7	T_8	T_9	T_{10}	T_{11}	T_{12}	T_{13}	T_{14}	T_{15}
入力	P_1	B_3	B_4	b_0	B_2	B_1	P_2	B_1	B_2	P_8	B_3	P_9	B_7	B_8	P_{12}
mcm In															
618a Out		P_4	P_5	b_0	b_0	b_0	b_0	b_0	b_0	P_8	P_8	P_8	P_8	P_8	P_{12}
mcm In	P_3						P_3					P_9			
618b Out	P_3	P_3		P_3	P_3		P_3	P_3	P_3	P_3	P_3	P_9	P_9	P_9	P_9
Rm In				b_0						P_8					P_{12}
630a Out		P_6					b_0							P_8	
Rm In					P_3					P_3		P_9			
630b Out				P_3						P_3					
Rm In		B_6		B_2			B_1			B_4		B_7			
630c Out		B_6	B_6	B_2	B_2		B_1	B_1		B_4	B_4	B_7	B_7		
Rm In		B_4		B_1			B_2			B_5		B_8			
630d Out		B_4	B_4	B_1	B_1	B_1	B_2	B_2	B_2	B_5	B_5	B_8	B_8		
出力	P_6	B_6	B_4	P_3	B_2	B_1	b_0	B_1	B_2	P_3	B_4	B_5	P_8	B_7	B_8

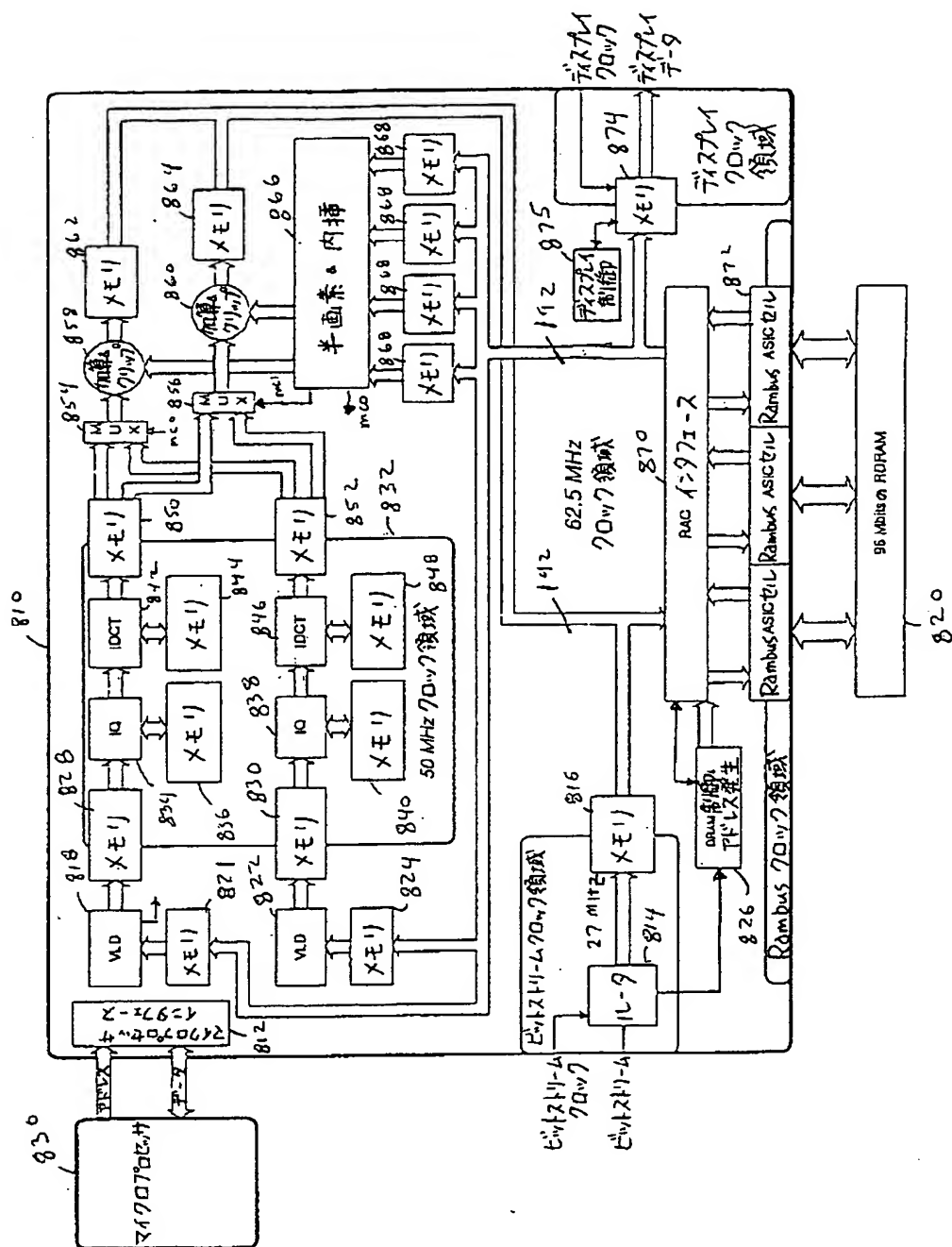
【図11】



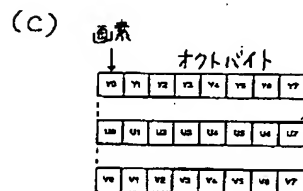
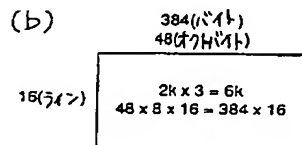
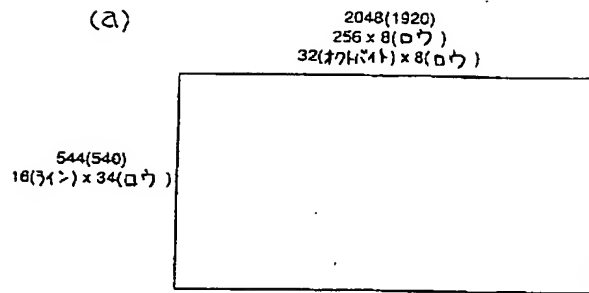
【図 6】



【图8】



【図13】



【図16】

A Y								B Y								C U,V							
C Y								A Y								B U,V							
B Y								C Y								A U,V							
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7

1604
1606
1608
1610
1612
1614
1616
1618
1620
1622
1624
1626
1628
1630
1632
1634
1636
1638
1640
1642
1644
1646
1648
1650
1652
1654
1656
1658
1660
1662
1664
1666
1668
1670
1672
1674
1676
1678
1680
1682
1684
1686
1688
1690
1692
1694
1696
1698
1700
1702
1704
1706
1708
1710
1712
1714
1716
1718
1720
1722
1724
1726
1728
1730
1732
1734
1736
1738
1740
1742
1744
1746
1748
1750
1752
1754
1756
1758
1760
1762
1764
1766
1768
1770
1772
1774
1776
1778
1780
1782
1784
1786
1788
1790
1792
1794
1796
1798
1800
1802
1804
1806
1808
1810
1812
1814
1816
1818
1820
1822
1824
1826
1828
1830
1832
1834
1836
1838
1840
1842
1844
1846
1848
1850
1852
1854
1856
1858
1860
1862
1864
1866
1868
1870
1872
1874
1876
1878
1880
1882
1884
1886
1888
1890
1892
1894
1896
1898
1900
1902
1904
1906
1908
1910
1912
1914
1916
1918
1920

【図14】

1410 1412

D0:L.R0	D0:U.R0	D0:L.R1	D0:U.R1	D0:L.R2	D0:U.R2	D0:L.R3	D0:U.R3
D1:L.R0	D1:U.R0	D1:L.R1	D1:U.R1	D1:L.R2	D1:U.R2	D1:L.R3	D1:U.R3
D0:L.R4	D0:U.R4	D0:L.R5	D0:U.R5	D0:L.R6	D0:U.R6	D0:L.R7	D0:U.R7
D1:L.R4	D1:U.R4	D1:L.R5	D1:U.R5	D1:L.R6	D1:U.R6	D1:L.R7	D1:U.R7
D0:L.R8	D0:U.R8	D0:L.R9	D0:U.R9	D0:L.R10	D0:U.R10	D0:L.R11	D0:U.R11
D1:L.R8	D1:U.R8	D1:L.R9	D1:U.R9	D1:L.R10	D1:U.R10	D1:L.R11	D1:U.R11
D0:L.R12	D0:U.R12	D0:L.R13	D0:U.R13	D0:L.R14	D0:U.R14	D0:L.R15	D0:U.R15
D1:L.R12	D1:U.R12	D1:L.R13	D1:U.R13	D1:L.R14	D1:U.R14	D1:L.R15	D1:U.R15
D0:L.R16	D0:U.R16	D0:L.R17	D0:U.R17	D0:L.R18	D0:U.R18	D0:L.R19	D0:U.R19
D1:L.R16	D1:U.R16	D1:L.R17	D1:U.R17	D1:L.R18	D1:U.R18	D1:L.R19	D1:U.R19
D0:L.R20	D0:U.R20	D0:L.R21	D0:U.R21	D0:L.R22	D0:U.R22	D0:L.R23	D0:U.R23
D1:L.R20	D1:U.R20	D1:L.R21	D1:U.R21	D1:L.R22	D1:U.R22	D1:L.R23	D1:U.R23
D0:L.R24	D0:U.R24	D0:L.R25	D0:U.R25	D0:L.R26	D0:U.R26	D0:L.R27	D0:U.R27
D1:L.R24	D1:U.R24	D1:L.R25	D1:U.R25	D1:L.R26	D1:U.R26	D1:L.R27	D1:U.R27
D0:L.R28	D0:U.R28	D0:L.R29	D0:U.R29	D0:L.R30	D0:U.R30	D0:L.R31	D0:U.R31
D1:L.R28	D1:U.R28	D1:L.R29	D1:U.R29	D1:L.R30	D1:U.R30	D1:L.R31	D1:U.R31
D0:L.R32	D0:U.R32	D0:L.R33	D0:U.R33	D0:L.R34	D0:U.R34	D0:L.R35	D0:U.R35
D1:L.R32	D1:U.R32	D1:L.R33	D1:U.R33	D1:L.R34	D1:U.R34	D1:L.R35	D1:U.R35
D0:L.R36	D0:U.R36	D0:L.R37	D0:U.R37	D0:L.R38	D0:U.R38	D0:L.R39	D0:U.R39
D1:L.R36	D1:U.R36	D1:L.R37	D1:U.R37	D1:L.R38	D1:U.R38	D1:L.R39	D1:U.R39
D0:L.R40	D0:U.R40	D0:L.R41	D0:U.R41	D0:L.R42	D0:U.R42	D0:L.R43	D0:U.R43
D1:L.R40	D1:U.R40	D1:L.R41	D1:U.R41	D1:L.R42	D1:U.R42	D1:L.R43	D1:U.R43
D0:L.R44	D0:U.R44	D0:L.R45	D0:U.R45	D0:L.R46	D0:U.R46	D0:L.R47	D0:U.R47
D1:L.R44	D1:U.R44	D1:L.R45	D1:U.R45	D1:L.R46	D1:U.R46	D1:L.R47	D1:U.R47
D0:L.R48	D0:U.R48	D0:L.R49	D0:U.R49	D0:L.R50	D0:U.R50	D0:L.R51	D0:U.R51
D1:L.R48	D1:U.R48	D1:L.R49	D1:U.R49	D1:L.R50	D1:U.R50	D1:L.R51	D1:U.R51
D0:L.R52	D0:U.R52	D0:L.R53	D0:U.R53	D0:L.R54	D0:U.R54	D0:L.R55	D0:U.R55
D1:L.R52	D1:U.R52	D1:L.R53	D1:U.R53	D1:L.R54	D1:U.R54	D1:L.R55	D1:U.R55
D0:L.R56	D0:U.R56	D0:L.R57	D0:U.R57	D0:L.R58	D0:U.R58	D0:L.R59	D0:U.R59
D1:L.R56	D1:U.R56	D1:L.R57	D1:U.R57	D1:L.R58	D1:U.R58	D1:L.R59	D1:U.R59
D0:L.R60	D0:U.R60	D0:L.R61	D0:U.R61	D0:L.R62	D0:U.R62	D0:L.R63	D0:U.R63
D1:L.R60	D1:U.R60	D1:L.R61	D1:U.R61	D1:L.R62	D1:U.R62	D1:L.R63	D1:U.R63
D0:L.R64	D0:U.R64	D0:L.R65	D0:U.R65	D0:L.R66	D0:U.R66	D0:L.R67	D0:U.R67
D1:L.R64	D1:U.R64	D1:L.R65	D1:U.R65	D1:L.R66	D1:U.R66	D1:L.R67	D1:U.R67

【図17】

A Y								B Y								C Y															
B Y								C Y								A Y															
C Y								A Y								B Y															
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7

1704

